

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Akira GODA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2001-029174	February 6, 2001
Japan	2001-317620	October 16, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

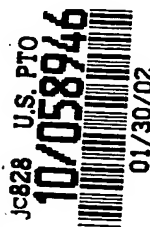
Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124



#4/Pat. 5-29-2  
Sunder



22850

469 33144 USAA-1

日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月 6日

出 願 番 号

Application Number:

特願2001-029174

出 願 人

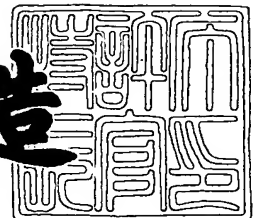
Applicant(s):

株式会社東芝

2001年10月19日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3092715

【書類名】 特許願

【整理番号】 46B0093911

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 23

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
                        横浜事業所内

    【氏名】 合田 晃

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
                        横浜事業所内

    【氏名】 野口 充宏

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100083161

    【弁理士】

    【氏名又は名称】 外川 英明

    【電話番号】 (03)3457-2512

【手数料の表示】

    【予納台帳番号】 010261

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板と、

この半導体基板中に設けられた溝部中に形成されたシャロートレンチ素子分離領域と、

前記半導体基板中に形成され、挟む前記半導体基板表面をチャンネルとするソース、ドレイン領域と、

前記半導体基板上に形成され、その膜厚が前記チャンネルの中央部と前記シャロートレンチ素子分離領域と接する部分とで等しいゲート絶縁膜と、

このゲート絶縁膜上に形成されたゲート電極と

を有することを特徴とする半導体装置。

【請求項 2】

前記ゲート絶縁膜はシリコン及び窒素を主要構成元素とする第 1 絶縁膜と、この第 1 絶縁膜上に形成された、前記第 1 絶縁膜と主要構成元素が異なる第 2 絶縁膜とを有し、この第 2 絶縁膜の膜厚が、チャンネル中央部と前記シャロートレンチ素子分離領域と接する部分とで等しいことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記ゲート絶縁膜はシリコン及び窒素を主要構成元素とする第 1 絶縁膜と、この第 1 絶縁膜下で、前記半導体基板上に形成された、前記第 1 絶縁膜と主要構成元素が異なる第 3 絶縁膜とを有し、この第 3 絶縁膜の膜厚が、チャンネル中央部と前記シャロートレンチ素子分離領域と接する部分とで等しいことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記ゲート絶縁膜はシリコン及び窒素を主要構成元素とする第 1 絶縁膜と、この第 1 絶縁膜上に形成された、前記第 1 絶縁膜と主要構成元素が異なる第 2 絶縁膜と、前記第 1 絶縁膜下で、前記半導体基板上に形成された、前記第 1 絶縁膜と

主要構成元素が異なる第3絶縁膜とを有し、前記第1絶縁膜、第2絶縁膜及び第3絶縁膜の膜厚が、チャネル中央部と前記シャロートレンチ素子分離領域と接する部分とで等しいことを特徴とする請求項1記載の半導体装置。

【請求項5】

前記シャロートレンチ素子分離領域上には、前記第1絶縁膜を介在させずに前記ゲート電極が形成されていることを特徴とする請求項2乃至4いずれか1項記載の半導体装置。

【請求項6】

前記シャロートレンチ素子分離領域によってはさまれた部分の前記半導体基板の幅が、前記シャロートレンチ素子分離領域によってはさまれた部分の前記ゲート電極の幅と等しいかより小さいことを特徴とする請求項1乃至5いずれか1項記載の半導体装置。

【請求項7】

前記シャロートレンチ素子分離領域によってはさまれた部分の前記半導体基板の幅が、前記シャロートレンチ素子分離領域によってはさまれた部分の前記第1絶縁膜の幅と等しいかより小さいことを特徴とする請求項2乃至5いずれか1項記載の半導体装置。

【請求項8】

前記第1絶縁膜のチャネル方向の幅と、前記ゲート電極のチャネル方向の幅が等しいことを特徴とする請求項5記載の半導体装置。

【請求項9】

前記ゲート電極は不純物が含まれていて、前記ゲート絶縁膜と接触する部分の不純物濃度と、前記シャロートレンチ素子分離領域上面と接触する部分の不純物濃度とが等しいことを特徴とする請求項5記載の半導体装置。

【請求項10】

前記ゲート電極は不純物が含まれた多結晶シリコンであり、間に自然酸化膜を介在しない一続きの膜であることを特徴とする請求項5又は9いずれか1項記載の半導体装置。

【請求項11】

半導体基板と、

この半導体基板中に設けられた溝部中に形成された第 1 シャロートレンチ素子分離領域と、

前記半導体基板中に形成され、挟む前記半導体基板表面を第 1 チャンネルとするソース、ドレイン領域と、

前記半導体基板上に形成され、その膜厚が前記第 1 チャンネル中央部と前記第 1 シャロートレンチ素子分離領域と接する部分とで等しい第 1 ゲート絶縁膜と、

この第 1 ゲート絶縁膜上に形成された第 1 ゲート電極と

を有するメモリ部と、

前記半導体基板中に設けられた溝部中に形成された第 2 シャロートレンチ素子分離領域と、

前記半導体基板中に形成され、挟む前記半導体基板表面を第 2 チャンネルとする第 2 ソース、ドレイン領域と、

前記半導体基板上に形成され、その膜厚が前記第 2 チャンネル中央部と前記第 2 シャロートレンチ素子分離領域と接する部分とで等しい第 2 ゲート絶縁膜と、

この第 2 ゲート絶縁膜上に形成された第 2 ゲート電極と

を有する周辺回路部と

を具備することを特徴とする半導体装置。

【請求項 1 2】

前記第 1 シャロートレンチ素子分離領域及び第 2 シャロートレンチ素子分離領域はそれぞれの上端部に凹部を有し、前記第 1 シャロートレンチ素子分離領域に設けられた凹部の深さは前記第 2 シャロートレンチ素子分離領域に設けられた凹部の深さよりも小さいことを特徴とする請求項 1 1 記載の半導体装置。

【請求項 1 3】

前記第 1 シャロートレンチ素子分離領域は上表面が上に凸の形状を有し、前記第 2 シャロートレンチ素子分離領域は上端部に凹部を有していることを特徴とする請求項 1 1 記載の半導体装置。

【請求項 1 4】

前記第 1 ゲート絶縁膜はシリコン及び窒素を主要構成元素とする第 1 絶縁膜と

、この第 1 絶縁膜上に形成された、前記第 1 絶縁膜と主要構成元素が異なる第 2 絶縁膜と、前記第 1 絶縁膜下で、前記半導体基板上に形成された、前記第 1 絶縁膜と主要構成元素が異なる第 3 絶縁膜とを有し、

前記第 2 ゲート絶縁膜は窒素を主要構成元素としない酸化シリコン膜であることを特徴とする請求項 1 1 記載の半導体装置。

【請求項 1 5】

前記第 1 ゲート電極及び第 2 ゲート電極は多結晶シリコン膜で形成され、それぞれ互いに反対導電型の不純物がドーピングされていることを特徴とする請求項 1 1 乃至 1 4 いずれか 1 項記載の半導体装置。

【請求項 1 6】

前記メモリ部は前記第 1 ゲート電極を複数個有し、前記周辺回路部は前記第 2 ゲート電極を複数個有し、複数の第 1 ゲート電極のうち第 1 の個数の第 1 ゲート電極は第 1 導電型の不純物がドーピングされ、第 2 の個数の第 1 ゲート電極は第 2 導電型の不純物がドーピングされ、複数の第 2 ゲート電極のうち第 1 の個数の第 2 ゲート電極は第 1 導電型の不純物がドーピングされ、第 2 の個数の第 2 ゲート電極は第 2 導電型の不純物がドーピングされていることを特徴とする請求項 1 1 乃至 1 4 いずれか 1 項記載の半導体装置。

【請求項 1 7】

前記第 1 ゲート電極及び第 2 ゲート電極はその膜厚が等しいことを特徴とする請求項 1 1 乃至 1 6 いずれか 1 項記載の半導体装置。

【請求項 1 8】

前記メモリ部はメモリトランジスタと選択トランジスタとを有し、前記周辺回路部は周辺回路トランジスタを有し、前記選択トランジスタは前記メモリトランジスタ又は周辺回路トランジスタのいずれか一方とそのゲート電極及びゲート絶縁膜の構成が同一であることを特徴とする請求項 1 1 乃至 1 5 いずれか 1 項記載の半導体装置。

【請求項 1 9】

半導体基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜形成後に前記半導体基板中にトレンチ溝を形成する工程と、



前記トレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、

前記ゲート絶縁膜及び前記シャロートレンチ素子分離領域上にゲート電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 2 0】

メモリ部及び周辺回路部の半導体基板上にシリコン窒化膜を含む多層膜からなる第 1 ゲート絶縁膜を形成する工程と、

前記第 1 ゲート絶縁膜形成後に前記メモリ部及び周辺回路部の前記半導体基板中にトレンチ溝を形成する工程と、

前記トレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、

前記周辺回路部の第 1 ゲート絶縁膜の内、シリコン窒化膜を除去した後、熱酸化により周辺回路部の第 2 ゲート絶縁膜を形成する工程と、

前記メモリ部及び周辺回路部の前記第 1 ゲート絶縁膜、第 2 ゲート絶縁膜、及び前記シャロートレンチ素子分離領域上にゲート電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 2 1】

高耐圧トランジスタ領域及び低電圧トランジスタ領域を有する周辺回路部並びにメモリ部の半導体基板上に第 1 ゲート絶縁膜を形成する工程と、

前記周辺回路部の低電圧トランジスタ領域及び前記メモリ部の前記第 1 ゲート絶縁膜を除去する工程と、

シリコン窒化膜を含む多層膜からなる第 2 ゲート絶縁膜を全面に形成する工程と、

前記第 2 ゲート絶縁膜形成後に前記メモリ部及び周辺回路部の前記半導体基板中にトレンチ溝を形成する工程と、

前記トレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、

前記周辺回路部の第 2 ゲート絶縁膜の内、シリコン窒化膜を除去した後、熱酸

化により前記メモリ部のゲート絶縁膜、周辺回路部の低電圧トランジスタゲート絶縁膜及び高耐圧トランジスタゲート絶縁膜を形成する工程と、

前記メモリ部の前記ゲート絶縁膜、低電圧トランジスタゲート絶縁膜及び高耐圧トランジスタゲート絶縁膜、並びに前記シャロートレンチ素子分離領域上にゲート電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 2 2】

前記ゲート電極を形成する工程において、前記メモリ部に複数のゲート電極及び前記周辺回路部に複数のゲート電極を同時に形成し、

前記ゲート電極を形成する工程の後に、前記周辺回路部の第 1 の個数のゲート電極に第 1 導電型不純物を導入する工程と、

前期周辺回路部の第 2 の個数のゲート電極に第 2 導電型不純物を導入する工程と、

前記メモリ部の第 1 の個数のゲート電極に第 1 導電型不純物を導入する工程と

前記メモリ部の第 2 の個数のゲート電極に第 2 導電型不純物を導入する工程とをさらに有することを特徴とする請求項 2 1 記載の半導体装置の製造方法。

【請求項 2 3】

メモリセルトランジスタ領域及び選択トランジスタ領域を有するメモリ部並びに低電圧トランジスタ領域及び高耐圧トランジスタ領域を有する周辺回路部の半導体基板上に第 1 ゲート絶縁膜を形成する工程と、

前記周辺回路部の低電圧トランジスタ領域及び前記メモリ部の前記第 1 ゲート絶縁膜を除去する工程と、

シリコン窒化膜を含む多層膜からなる第 2 ゲート絶縁膜を形成する工程と、

前記第 2 ゲート絶縁膜形成後に前記メモリ部及び周辺回路部の前記半導体基板中にトレンチ溝を形成する工程と、

前記トレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、

前記メモリ部の選択トランジスタ領域及び前記周辺回路部の第 2 ゲート絶縁膜

の内、シリコン窒化膜を除去した後、熱酸化によりメモリセルトランジスタのゲート絶縁膜、選択トランジスタのゲート絶縁膜、低電圧トランジスタゲート絶縁膜及び高耐圧トランジスタゲート絶縁膜を形成する工程と、

前記メモリセルトランジスタのゲート絶縁膜、選択トランジスタのゲート絶縁膜、低電圧トランジスタゲート絶縁膜及び高耐圧トランジスタゲート絶縁膜、並びに前記シャロートレンチ素子分離領域上にゲート電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係り、特にゲート絶縁膜の膜厚の均一性が必要な高特性の半導体装置及びその製造方法に関わる。

【0002】

【従来の技術】

図30に従来のLOCOS型素子分離によるMONOS（金属—酸化シリコン膜—窒化シリコン膜—酸化シリコン膜—半導体）メモリセルの断面図を示す。

【0003】

図30において、半導体基板100上にメモリセルのトンネル絶縁膜101が形成され、このトンネル絶縁膜を挟みこむようにトンネル絶縁膜101よりも膜厚が厚い素子分離領域102が形成されている。これら、素子分離領域102、トンネル絶縁膜101表面上にシリコン窒化膜からなる電荷蓄積層103が形成されている。この電荷蓄積層103上には、バリア絶縁膜104が形成されている。さらにこのバリア絶縁膜104上には、ゲート電極105が形成されている。

【0004】

なお、特開平4-12573号公報には、MNOS型不揮発性半導体記憶装置のサイドウォーク現象を防止するようにゲート絶縁膜を周辺の選択酸化膜との境界領域において、全て溝部内に存在させた構成が第1図及び第3図（a）などに記載されている。

【 0 0 0 5 】

【発明が解決しようとする課題】

以上のような従来の半導体装置では、以下の課題が生じる。

【 0 0 0 6 】

素子分離領域を形成する熱酸化の影響で素子分離エッジ部 1 0 6 で酸化膜が厚くなりこの領域で書き込み消去特性が悪くなる。すなわち、素子分離エッジ部で絶縁膜厚が厚くなることから、電界が弱くなり、閾値が低くなる。

【 0 0 0 7 】

MONOS 構造では電荷を絶縁膜であるシリコン窒化膜中にトラップさせるため、電荷蓄積層中をキャリアが移動しない。このため書き込みパルスを与えた場合、チャネルエッジの部分だけしきい値が低いまま取り残されることになる。このことはトランジスタ特性に対して、サブスレッショルドリークまたはハンプ ( h u m p ) として観測される。サイドウォーク ( s i d e w a l k ) と呼ばれるこの現象はMONOSメモリセルの書き込み消去ウィンドウを狭くするので問題である。

【 0 0 0 8 】

また、上記特開平 4 - 1 2 5 7 3 号公報では、半導体基板中に溝を設け、溝中に絶縁膜が設けられているが、その膜厚は素子分離領域近辺で厚くなっており、電界集中が発生し、制御特性が悪化してしまう。

【 0 0 0 9 】

本発明の目的は以上のような従来技術の課題を解決することにある。

【 0 0 1 0 】

特に、本発明の目的は、素子分離領域付近でのゲート絶縁膜の電気的特性と素子分離領域付近以外でのゲート絶縁膜の電気的特性とが等しい半導体装置及びその製造方法を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

上記目的を達成するために、本発明は、半導体基板と、この半導体基板中に設けられた溝部中に形成されたシャロートレンチ素子分離領域と、前記半導体基板

中に形成され、挟む前記半導体基板表面をチャンネルとするソース、ドレイン領域と、前記半導体基板上に形成され、その膜厚が前記チャンネルの中央部と前記シャロートレンチ素子分離領域と接する部分とで等しいゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極とを有する半導体装置である。

## 【0.012】

本発明の別の特徴は、半導体基板と、この半導体基板中に設けられた溝部中に形成された第1シャロートレンチ素子分離領域と、前記半導体基板中に形成され、挟む前記半導体基板表面を第1チャンネルとするソース、ドレイン領域と、前記半導体基板上に形成され、その膜厚が前記第1チャンネル中央部と前記第1シャロートレンチ素子分離領域と接する部分とで等しい第1ゲート絶縁膜と、この第1ゲート絶縁膜上に形成された第1ゲート電極とを有するメモリ部と、前記半導体基板中に設けられた溝部中に形成された第2シャロートレンチ素子分離領域と、前記半導体基板中に形成され、挟む前記半導体基板表面を第2チャンネルとする第2ソース、ドレイン領域と、前記半導体基板上に形成され、その膜厚が前記第2チャンネル中央部と前記第2シャロートレンチ素子分離領域と接する部分とで等しい第2ゲート絶縁膜と、この第2ゲート絶縁膜上に形成された第2ゲート電極とを有する周辺回路部とを具備する半導体装置である。

## 【0013】

本発明の別の特徴は、半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜形成後に前記半導体基板中にトレンチ溝を形成する工程と、前記トレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、前記ゲート絶縁膜及び前記シャロートレンチ素子分離領域上にゲート電極を形成する工程とを有する半導体装置の製造方法である。

## 【0014】

本発明の別の特徴は、メモリ部及び周辺回路部の半導体基板上にシリコン窒化膜を含む多層膜からなる第1ゲート絶縁膜を形成する工程と、前記第1ゲート絶縁膜形成後に前記メモリ部及び周辺回路部の前記半導体基板中にトレンチ溝を形成する工程と、前記トレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、前記周辺回路部の第1ゲート絶縁膜の内、シリコン窒

化膜を除去した後、熱酸化により周辺回路部の第2ゲート絶縁膜を形成する工程と、前記メモリ部及び周辺回路部の前記第1ゲート絶縁膜、第2ゲート絶縁膜、及び前記シャロートレンチ素子分離領域上にゲート電極を形成する工程とを有する半導体装置の製造方法である。

## 【0015】

本発明の別の特徴は、高耐圧トランジスタ領域及び低電圧トランジスタ領域を有する周辺回路部並びにメモリ部の半導体基板上に第1ゲート絶縁膜を形成する工程と、前記周辺回路部の低電圧トランジスタ領域及び前記メモリ部の前記第1ゲート絶縁膜を除去する工程と、シリコン窒化膜を含む多層膜からなる第2ゲート絶縁膜を全面に形成する工程と、前記第2ゲート絶縁膜形成後に前記メモリ部及び周辺回路部の前記半導体基板中にトレンチ溝を形成する工程と、前記トレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、前記周辺回路部の第2ゲート絶縁膜の内、シリコン窒化膜を除去した後、熱酸化により前記メモリ部のゲート絶縁膜、周辺回路部の低電圧トランジスタゲート絶縁膜及び高耐圧トランジスタゲート絶縁膜を形成する工程と、前記メモリ部の前記ゲート絶縁膜、低電圧トランジスタゲート絶縁膜及び高耐圧トランジスタゲート絶縁膜、並びに前記シャロートレンチ素子分離領域上にゲート電極を形成する工程とを有する半導体装置の製造方法である。

## 【0016】

本発明の別の特徴は、メモリセルトランジスタ領域及び選択トランジスタ領域を有するメモリ部並びに低電圧トランジスタ領域及び高耐圧トランジスタ領域を有する周辺回路部の半導体基板上に第1ゲート絶縁膜を形成する工程と、前記周辺回路部の低電圧トランジスタ領域及び前記メモリ部の前記第1ゲート絶縁膜を除去する工程と、シリコン窒化膜を含む多層膜からなる第2ゲート絶縁膜を形成する工程と、前記第2ゲート絶縁膜形成後に前記メモリ部及び周辺回路部の前記半導体基板中にトレンチ溝を形成する工程と、前記トレンチ溝中に絶縁物を埋め込み、シャロートレンチ素子分離領域を形成する工程と、前記メモリ部の選択トランジスタ領域及び前記周辺回路部の第2ゲート絶縁膜の内、シリコン窒化膜を除去した後、熱酸化によりメモリセルトランジスタのゲート絶縁膜、選択トラン

ジスタのゲート絶縁膜、低電圧トランジスタゲート絶縁膜及び高耐圧トランジスタゲート絶縁膜を形成する工程と、前記メモリセルトランジスタのゲート絶縁膜、選択トランジスタのゲート絶縁膜、低電圧トランジスタゲート絶縁膜及び高耐圧トランジスタゲート絶縁膜、並びに前記シャロートレンチ素子分離領域上にゲート電極を形成する工程とを有する半導体装置の製造方法である。

【 0 0 1 7 】

## 【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には、同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は、現実のものとは異なる。従って、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれている。

【 0 0 1 8 】

## (第1の実施の形態)

フローティングゲート型のフラッシュメモリにおいて、セルフアライン (Self-Aligned Shallow Trench Isolation: SA-STI) プロセスによってMONOSセルを形成した場合のプロトタイプを図2に示す。

【 0 0 1 9 】

ここでは、半導体基板1上にシャロートレンチ素子分離領域2が複数形成されている。隣接する2つのシャロートレンチ素子分離領域2の間の半導体基板1表面付近には、シリコン酸化膜からなるトンネル絶縁膜3が形成されている。このトンネル絶縁膜3上にはシリコン窒化膜からなる電荷蓄積層4が形成されている。この電荷蓄積層4上には、シリコン酸化膜からなるバリア絶縁膜5が形成されている。このバリア絶縁膜5は同じ材料であるシャロートレンチ素子分離領域2と一体となっている。このバリア絶縁膜5及びシャロートレンチ素子分離領域2上にはゲート電極6が形成されている。

【 0 0 2 0 】

この場合、このゲート電極 6 はシャロートレンチ素子分離領域 2 に挟まれた部分が先に形成された後に、シャロートレンチ素子分離領域が形成され、その後でシャロートレンチ素子分離領域 2 上に追加でゲート電極 6 が形成されている。すなわち、同ゲート電極であっても場所により別工程で形成されているため、自然酸化膜がゲート絶縁膜中に含まれている。

## 【 0 0 2 1 】

このような構成を採用することにより、LOCOS 型素子分離を用いた MONOS に比べて、サイドウォーク現象を改善できる。また、シャロートレンチ素子分離領域 2 上に電荷蓄積層 4 が形成されていないことで、従来生じていた素子分離領域上の電荷蓄積層 4 を介して隣接するセルへ電荷が移動することによるデータ消失を防ぐことができる。

## 【 0 0 2 2 】

このように SA-STI を用いた場合、トンネル絶縁膜 3 のゲートエッジ（シャロートレンチ素子分離領域 2 に挟まれたゲート電極 6 の端部）での厚膜化はほとんどない。しかし、トレンチ形成後に欠陥回復のために半導体表面を酸化するときに、ゲート電極 6 を構成する多結晶シリコンにバースピークが入り、シャロートレンチ素子分離領域のエッジでバリア絶縁膜 5 が厚膜化してしまい、バースピーク部 7 が生じてしまう。すなわち、図 3 にシャロートレンチ素子分離領域 2 とゲート電極 6 の接触部分の拡大図を示す。

## 【 0 0 2 3 】

さらにゲート電極 6 を構成する多結晶シリコンが酸化によって後退するので、シャロー素子分離領域 2 が突出した突出部 8 が形成される。このようにシャロー素子分離領域 2 で挟まれたゲート電極 6 から、電荷蓄積層がゲート電極 6 の幅よりも大きくなり、電荷蓄積層が図 2 の断面でより大きい長さを有し、突出部 9 が形成される状態となる。

## 【 0 0 2 4 】

ここで、ゲート電極 6 に電圧を印加してもゲート電極 6 から図 2 中の突出部 9 には書き込み／消去に十分な電界がかからないためこの領域 9 のしきい値は制御できない。



## 【 0 0 2 5 】

すなわち、図 4 に半導体記憶装置での書き込み状態のセルのサブスレッショルド特性を示す。①で表したのはチャンネル中央部の特性で、これに対して②で表したチャンネルエッジ部（素子分離領域との境界部）の特性は書き込み閾値が中央部よりも低いことに特徴がある。これはエッジ部においてゲート絶縁膜が厚膜化しているために書き込み電界が弱まり、書き込み電流が減少することに起因する。このようなセルのセル全体としてのサブスレッショルド特性は図 5 中に③で示すように低電圧部にこぶ（hump）を持ったものとなる。

## 【 0 0 2 6 】

図 6 は書き込み状態、消去状態の両方のサブスレッショルド特性をプロットしたものである。書き込み状態の特性は④で示され、消去状態の特性は⑤で示される。消去時にはチャンネルエッジ部の閾値がチャンネル中央部の閾値よりも高いため、セル全体としての特性には影響しない。結局、セル特性におけるサイドウォーク減少の影響は書き込み特性の悪化として現れる。

## 【 0 0 2 7 】

この S A - S T I プロセスを用いたプロトタイプにおける課題を解決する実施の形態を以下の通り説明する。

## 【 0 0 2 8 】

図 1 に本実施の形態の半導体装置のメモリ部のメモリセルトランジスタ及び選択トランジスタのロウ方向の断面図を示す。半導体基板 1 上にトンネル絶縁膜 10 が例えば膜厚約 0.5 nm ～ 5 nm 程度のシリコン酸化膜又はシリコン酸窒化膜で形成されている。ここで、半導体基板 1 はその中に半導体基板と逆導電型のウエルが表面付近に形成されていてもよい。さらに逆導電型のウエル上にさらに半導体基板と同一導電型の別のウエルが形成されていてもよい（以下同様）。このトンネル絶縁膜 10 上には、電荷蓄積層 11 が例えば膜厚約 4 ～ 50 nm 程度のシリコン窒化膜で形成されている。この電荷蓄積層 11 上には、バリア絶縁膜 12 が例えば膜厚約 1 nm ～ 20 nm 程度のシリコン酸化膜又はシリコン酸窒化膜で形成されている。

## 【 0 0 2 9 】

このトンネル酸化膜10、電荷蓄積層11及びバリア絶縁膜12は例えば深さ約20nm～500nm程度のシリコン酸化膜などからなるシャロートレンチ素子分離領域13により互いに分断されている。

#### 【0030】

このシャロートレンチ素子分離領域13及びバリア絶縁膜12上には、メモリの第1ゲート電極14が例えば多結晶シリコンで、膜厚約5nm～500nmで第2ゲート電極15が、例えばポリサイドや金属で形成されている。ここで、ポリサイドは例えば、WSi, NiSi, MOSi, TiSi, CoSiなどが適用できる。

#### 【0031】

この第2ゲート電極15上には、ゲートキャップ絶縁膜16が形成されている。このゲートキャップ絶縁膜16上には、層間膜17が形成されている。この層間膜17上部表面付近にはビット線18が埋め込まれている。このビット線18及び層間膜17上には保護膜19が形成されている。

#### 【0032】

ここで、2つのシャロートレンチ素子分離領域13で挟まれた部分の第1ゲート電極14下方の半導体基板1の表面はチャンネルを形成する。2つのシャロートレンチ素子分離領域13によって挟まれたトンネル酸化膜10、電荷蓄積層11及びバリア絶縁膜12はその膜厚が、チャンネル中央部付近と、シャロートレンチ素子分離領域13に接する部分とで実質的に等しく形成されている。

#### 【0033】

なお、少なくとも第1ゲート14下のバリア絶縁膜の膜厚がチャンネル中央部付近と、シャロートレンチ素子分離領域13に接する部分とで実質的に等しく形成されている。

#### 【0034】

また、半導体基板1上のトンネル酸化膜10の膜厚がチャンネル中央部付近と、シャロートレンチ素子分離領域13に接する部分とで実質的に等しく形成されている。

#### 【0035】

また、場合により、半導体基板 1 上にトンネル酸化膜 1 0 が形成され、その上に電荷蓄積層 1 1 が形成され、この上に第 1 ゲート 1 4 が直接形成されている構造でもよい。

## 【 0 0 3 6 】

また、シャロートレンチ素子分離領域 1 3 で挟まれたトンネル酸化膜 1 0、電荷蓄積層 1 1 及びバリア絶縁膜 1 2 はそれぞれのロウ方向の長さが実質上等しく形成されていて、シャロートレンチ素子分離領域 1 3 の側面と同一水平面で接触している。また、第 1 ゲート電極 1 4 もシャロートレンチ素子分離領域 1 3 で挟まれた部分のロウ方向の長さがシャロートレンチ素子分離領域 1 3 で挟まれたトンネル酸化膜 1 0、電荷蓄積層 1 1 及びバリア絶縁膜 1 2 のロウ方向の長さを実質上等しくなっている。

## 【 0 0 3 7 】

ここで、シャロートレンチ素子分離領域 1 3 上には、第 1 ゲート 1 4 が直接、形成されていて、トンネル酸化膜 1 0、電荷蓄積層 1 1 及びバリア絶縁膜 1 2 を間に介在させてはいない。そのため、電荷蓄積層 1 1 を介して隣接するゲートへ電荷が移動することが防止される。

## 【 0 0 3 8 】

また、シャロートレンチ素子分離領域 1 3 の上端部には窪みであるノッチが生じる場合もある。

## 【 0 0 3 9 】

次に周辺回路部の高耐圧トランジスタのロウ方向での断面が図 7 に示される。ここでは、半導体基板 1 上にゲート絶縁膜 2 0 が膜厚が例えば約 8 n m ~ 4 0 n m のシリコン酸化膜又はシリコン酸窒化膜が形成されている。半導体基板 1 上でゲート絶縁膜 2 0 を分断するようにシャロートレンチ素子分離領域 2 1 が形成されている。このシャロートレンチ素子分離領域 2 1 の深さはメモリ部のシャロートレンチ素子分離領域 1 3 の厚さよりも高耐圧トランジスタのゲート絶縁膜 2 0 の厚さからメモリ部のトンネル酸化膜 1 0 の厚さを差し引いた分だけ、浅く形成されている。

## 【 0 0 4 0 】

シャロートレンチ素子分離領域 2 1 及びゲート絶縁膜 2 0 上にはメモリ部の第 1 ゲート電極 1 4 と同じ組成で、ほぼ同じ膜厚の第 1 ゲート電極 2 2 が形成されている。この第 1 ゲート電極 2 2 上には、メモリ部の第 2 ゲート電極 1 5 と同じ組成で、ほぼ同じ膜厚の第 2 ゲート電極 2 3 が形成されている。この第 2 ゲート電極 2 2 上には、メモリ部のゲートキャップ絶縁膜 1 6 と同じ組成で、ほぼ同じ膜厚のゲートキャップ絶縁膜 2 4 が形成されている。このゲートキャップ絶縁膜 2 4 上には、図 1 に示される通り、層間膜 1 7 などが形成されているが図示は省略されている。

## 【 0 0 4 1 】

ここで、ゲート絶縁膜 2 0 はその膜厚がシャロートレンチ素子分離領域 2 1 と接触する部分と、チャネル中央部でそれぞれほぼ等しく形成されている。すなわち、従来例やプロトタイプのようにシャロートレンチ素子分離領域と接触する部分のゲート絶縁膜が他の部分よりも厚く形成されることはない。

## 【 0 0 4 2 】

また、シャロートレンチ素子分離領域 2 1 で挟まれたゲート絶縁膜 2 0 は、ロウ方向の長さが、第 1 ゲート電極 2 2 がシャロートレンチ素子分離領域 2 1 で挟まれた部分のロウ方向の長さを実質上等しくなっている。

## 【 0 0 4 3 】

また、シャロートレンチ素子分離領域 2 1 の上端部には窪みであるノッチが生じている。このノッチはメモリ部のノッチよりもその窪み深さが大きく形成されている。

## 【 0 0 4 4 】

次に周辺部の低電圧トランジスタのロウ方向での断面が図 8 に示される。ここでは、半導体基板 1 上にゲート絶縁膜 2 5 が膜厚が例えば約 0. 5 nm ~ 1 0 nm のシリコン酸化膜又はシリコン酸窒化膜として形成されている。半導体基板 1 上でゲート絶縁膜 2 5 を分断するようにシャロートレンチ素子分離領域 2 6 が形成されている。このシャロートレンチ素子分離領域 2 6 の厚さはメモリ部のシャロートレンチ素子分離領域 1 3 の深さとほぼ等しく形成されている。

## 【 0 0 4 5 】

シャロートレンチ素子分離領域 2 6 及びゲート絶縁膜 2 5 上にはメモリ部の第 1 ゲート電極 1 4 と同じ組成で、ほぼ同じ膜厚の第 1 ゲート電極 2 7 が形成されている。この第 1 ゲート電極 2 7 上には、メモリ部の第 2 ゲート電極 1 5 と同じ組成で、ほぼ同じ膜厚の第 2 ゲート電極 2 8 が形成されている。この第 2 ゲート電極 2 8 上には、メモリ部のゲートキャップ絶縁膜 1 6 と同じ組成で、ほぼ同じ膜厚のゲートキャップ絶縁膜 2 9 が形成されている。このゲートキャップ絶縁膜 2 9 上には、図 1 に示される通り、層間膜 1 7 などが形成されているが図示は省略されている。

## 【 0 0 4 6 】

ここで、ゲート絶縁膜 2 5 はその膜厚がシャロートレンチ素子分離領域 2 6 と接触する部分と、チャネル中央部でそれぞれほぼ等しく形成されている。すなわち、従来例やプロトタイプのようにシャロートレンチ素子分離領域と接触する部分のゲート絶縁膜が他の部分よりも厚く形成されることはない。

## 【 0 0 4 7 】

また、シャロートレンチ素子分離領域 2 6 で挟まれたゲート絶縁膜 2 5 は、ロウ方向の長さが、第 1 ゲート電極 2 7 がシャロートレンチ素子分離領域 2 6 で挟まれた部分のロウ方向の長さを実質上等しくなっている。

## 【 0 0 4 8 】

また、シャロートレンチ素子分離領域 2 6 の上端部には窪みであるノッチが生じている。このノッチはメモリ部のノッチよりもその窪み深さが大きく形成されている。

## 【 0 0 4 9 】

この構造のゲート絶縁膜、ゲート電極作り分けがなされた構造のゲート絶縁膜の種類ごとの素子分離領域である S T I 深さ、S T I 上部エッジの凹部の大きさ、ゲート電極幅と半導体基板幅の関係、エッジの曲率半径、ゲート電極の特性が表 1 に示される。

## 【 0 0 5 0 】

【表 1】

ゲート絶縁膜	STI 深さ (基板表面から)	STI 上部エッジ の 凹部の大きさ	ゲート電極幅と Si 基板幅の関係	エッジの 曲率半径	ゲート 電極
ONO	A	C	電極 $\geq$ 基板	電極 $\leq$ 基板	p <sup>+</sup> /n <sup>+</sup> 作り分け 可能
SiO <sub>2</sub> (薄膜)	A	D			
SiO <sub>2</sub> (厚膜)	B	D			

## 【0051】

この表1からわかるように、素子分離領域であるSTI深さはゲート絶縁膜がONOやシリコン酸化膜の薄膜である場合の深さAがシリコン酸化膜の厚膜である場合の深さBに比べて、深くなっている。

## 【0052】

また、STI上部エッジの凹部の大きさはゲート酸化膜がONOである場合の大きさCが、シリコン酸化膜である場合の大きさDに比べて小さくなっている。

## 【0053】

また、ゲート絶縁膜の種類に関わらず、2つの素子分離領域で挟まれたゲート電極幅の方が同じ2つの素子分離領域で挟まれた半導体基板幅よりも大きくなっている。

## 【0054】

さらに、ゲート電極が素子分離領域と接するエッジ部分での曲率半径が半導体基板が素子分離領域と接するゲート電極近傍でのエッジ部分での曲率半径よりも小さくなっている。

## 【0055】

さらに、ゲート電極はPプラス電極とNプラス電極とで作り分けを行うことが可能となっている。

## 【0056】

すなわち、半導体装置中にPプラス電極のトランジスタとNプラス電極のトランジスタとが混在して、両者のゲート電極膜の膜厚が等しく形成される。

## 【 0 0 5 7 】

次に、図9に本実施の形態におけるメモリ部の平面図を示す。この平面図において、“A-A”線で示される部分の断面図が図1に相当する。

## 【 0 0 5 8 】

この図9において“B-B”線で示される部分の断面図が図10に相当する。図9中で、左右方向にデータ線択線である複数本のワード線 $WL_n$ （ $n$ は0から31の自然数）40が設けられている、このワード線40の最上端近傍に平行にビット線選択信号線41（SSL）が設けられている。ワード線40の最下端近傍に平行に共通ソース線選択信号線42（GSL）が設けられている。これらワード線40などに垂直な方向に互いに平行に複数のビット線43が設けられている。

## 【 0 0 5 9 】

ビット線選択信号線41（SSL）とビット線43の交点には、ビット線コンタクト44が設けられている。また、共通ソース線選択信号線42とビット線43の交点には、ソース線コンタクト45が設けられている。

## 【 0 0 6 0 】

ビット線43下にはワード線40と重ならない部分に不純物拡散層30が設けられている。また、ビット線43形成領域以外にはシャロートレンチ素子分離領域13が形成されている。なお、図9中では、データ選択線40は斜線で表示され、シャロートレンチ素子分離領域13は点で表示され、拡散層30は波線で表示される。

## 【 0 0 6 1 】

図9中に図示された構成が実際には、図9の上下方向に繰り返して、形成される。

## 【 0 0 6 2 】

図10に示されるカラム方向のメモリ部の断面図では、半導体基板1上に不純物拡散層30が複数設けられている。半導体基板1上には、トンネル酸化膜10

、電荷蓄積層 1 1 及びバリア絶縁膜 1 2 が設けられている。このバリア絶縁膜 1 2 上にゲート形成部分において、第 1 ゲート電極 1 4、第 2 ゲート電極 1 5 からなるゲートが複数個形成されている。このゲート形成部分及び露出したバリア絶縁膜 1 2 を覆うゲートキャップ絶縁膜 1 6 が設けられている。

## 【0 0 6 3】

ビット線コンタクト 4 4 は図 1 0 中で右端部付近に形成されている。このビット線コンタクト 4 4 はビット線引き出し配線 4 7 に接続されている。このビット線引き出し配線 4 7 はビット線引き出しコンタクト 4 6 に接続され、このビット線引き出しコンタクト 4 6 はビット線 1 8 に接続されている。

## 【0 0 6 4】

ソース線コンタクト 4 5 は図 1 0 中で左端部付近に形成されている。このソース線コンタクト 4 5 はソース線配線 4 8 に接続されている。

## 【0 0 6 5】

各ゲート形成部、ビット線コンタクト 4 4、ビット線引き出し配線 4 7、ビット線引き出しコンタクト 4 6、ソース線コンタクト 4 5、ソース線配線 4 8 は層間膜 1 7 で被覆されている。

## 【0 0 6 6】

また、ビット線 1 8 及び層間膜 1 7 は保護膜 1 9 で被覆されている。

## 【0 0 6 7】

なお、半導体基板上に半導体基板と反対導電型の第 1 ウエルを設け、さらにその上に半導体基板と同一導電型の第 2 ウエルを設けるツインウエル構成としてもよい。

## 【0 0 6 8】

図 1 1 は図 9 の一部を回路図にて表現した図である。ここでは、メモリセルのアレイ構造は NAND 型で、直列に接続されたメモリセルの一端は選択トランジスタ 5 0 S 1 を介してビット線コンタクト 4 4 に接続されており、他の一端は選択トランジスタ 5 1 S 2 を介してソース線コンタクト 4 5 に接続されている。

## 【0 0 6 9】

直列に接続されたメモリセルトランジスタ 5 2 (M 0 ~ M 3 1) のそれぞれの



ゲート電極はデータ選択線40（WL0～WL31）に接続されている。

【0070】

選択トランジスタ50S1のゲート電極はビット線選択信号線41（SSL）に接続され、選択トランジスタ51S2のゲート電極は共通ソース線選択信号42（GSL）に接続されている。

【0071】

選択トランジスタ50S1と選択トランジスタ51S2で挟まれたメモリセルトランジスタ52列をNANDストリームと呼び、このNANDストリームが直列に数千個接続され、このNANDストリームが並列にそれぞれ、データ選択線、ビット線、共通ソース線に接続されて、数千個接続されて半導体記憶装置が構成されると数Mビットの記憶容量の半導体記憶装置となる。

【0072】

また、本実施の形態では選択トランジスタ50、51はメモリセルトランジスタ52と同じMONOS構造となっている。このためにメモリセルと選択トランジスタでゲート絶縁膜を作り分ける必要が無く、素子の微細化、低コスト化に適している。また、周辺回路を形成するトランジスタはMOS構造でゲート酸化膜厚の異なる2種類のトランジスタが存在する。

【0073】

なお、周辺回路を構成するトランジスタはそのゲート酸化膜厚が3種類以上ある場合でも本実施の形態は適用できる。

【0074】

本実施の形態によれば、素子分離領域端での書き込み消去特性の低下に由来するサイドウォーク現象を解決し、書き込み消去動作を高速化することが可能である。

【0075】

以下に、本実施の形態の半導体装置の製造方法を図12乃至図27を用いて説明する。ここでは、本実施の形態の特徴が表された図1、7、8に示された断面でのロウ方向における製造方法を説明する。以下の図において、（a）は、メモリ部のメモリセルトランジスタ及び選択トランジスタの製造方法を示し、（b）

は周辺回路部の低電圧トランジスタの製造方法を示し、(c)は周辺回路部の高耐圧トランジスタの製造方法を示す工程図である。

## 【 0 0 7 6 】

まず、図 1 2 (a)、(b)、(c)に示されるように半導体基板 1 上に 5 nm ~ 2 0 nm 程度の犠牲酸化膜 (図示せず) を形成した後、必要に応じてメモリ部及び周辺回路部のウェル、チャネル不純物の注入を行う (図示せず)。犠牲酸化膜を剥離した後、周辺回路部の高耐圧トランジスタのゲート絶縁膜 2 0 を半導体基板 1 全面に形成する。ここで、ゲート絶縁膜 2 0 は例えば 8 nm ~ 4 0 nm 程度のシリコン酸化膜又はシリコン酸窒化膜であるが、後の工程での膜厚の変動量から逆算して最終的に狙いの膜厚になるように調整しておく必要がある。

## 【 0 0 7 7 】

次に、図 1 3 (c)に示されるように高耐圧トランジスタ部では、全体をレジスト 5 5 で覆って、図 1 3 (a)、(b)に示されるメモリ部及び低電圧トランジスタ部では、ゲート絶縁膜 2 0 を剥離する。

## 【 0 0 7 8 】

次に、図 1 4 (c)に示されるようにレジスト 5 5 を除去した後、図 1 4 (a)、(b)、(c)に示されるように MONOS メモリセルのトンネル絶縁膜 1 0 として例えば 0. 5 nm ~ 5 nm の厚さからなるシリコン酸化膜またはシリコン酸窒化膜を形成する。

## 【 0 0 7 9 】

次に、図 1 5 (a)、(b)、(c)に示されるように例えばシリコン窒化膜からなる電荷蓄積層 1 1 を約 4 nm ~ 5 0 nm の厚さで堆積し、さらにバリア絶縁膜 1 2 として 1 nm ~ 2 0 nm のシリコン酸化膜またはシリコン酸窒化膜を形成する。

## 【 0 0 8 0 】

次に、図 1 6 (a)、(b)、(c)に示されるように素子分離領域の埋め込み材を平坦化する CMP 法 (Chemical Mechanical Polishing) のストップ膜 5 6 として例えば 1 0 nm ~ 5 0 0 nm 程度のシリコン窒化膜を堆積する。ここで、ストップ膜 5 6 に求められる条件として、(1

）CMPのストッパ膜として素子分離領域の埋め込み材に対して十分な選択比があること、（２）ストッパ膜１７を剥離する際に、MONOSのバリア絶縁膜１２と十分な選択比があること、（３）素子分離領域形成のための異方性エッチングの後、基板表面を酸化してダメージ回復するが、この際に酸化されない膜であることの３点を少なくとも満たす必要がある。

## 【 0 0 8 1 】

ここで、素子分離領域の埋め込み膜およびブロック絶縁膜が酸化膜である場合にはストッパ膜５６としてはシリコン窒化膜が適している。さらに素子分離領域の異方性エッチングのマスク材５７としてたとえばシリコン酸化膜を２０nm～５００nm堆積する。なお、図１６（c）に示された高耐圧トランジスタ領域では、ゲート絶縁膜２０が図１６（a），（b）に示されたメモリ部や低電圧トランジスタ領域のトンネル絶縁膜１０と比べてその厚さが厚いため、図１６（c）に示されたマスク材５７上表面が図１６（a），（b）に示されたマスク材５７上表面よりも高く形成されている。

## 【 0 0 8 2 】

次に、図１７（a），（b），（c）に示されるようにレジスト（図示せず）をパターニングしてマスク材５７を異方性エッチングで加工し、続いてストッパ膜５６、バリア絶縁膜１２、電荷蓄積層１１、トンネル酸化膜１０、ゲート絶縁膜２０を加工した後に半導体基板１を所望の深さまでエッチングして素子分離溝５８，５９，６０を形成する。

## 【 0 0 8 3 】

この際、図１７（c）に示された領域では、半導体基板１上に形成されたゲート絶縁膜２０の厚さが図１７（a），（b）に示されたトンネル絶縁膜１２の厚さよりも厚いために、その厚みの追加分に対応して、素子分離溝６０の深さが図１７（a），（b）に示された素子分離溝５８，５９の深さよりも浅く形成されている。また、メモリ部ではトランジスタの大きさが周辺回路部よりも小さいため、周辺回路部の素子分離溝５９，６０よりもその素子分離溝５８の幅や素子分離溝の間隔が小さく形成されている。

## 【 0 0 8 4 】

次に、図 1 8 (a), (b), (c) に示されるようにエッチングによって半導体基板 1 に入った欠陥等のダメージを回復するために、酸化雰囲気中でアニールすることで、素子分離溝内の半導体基板 1 表面上に例えば厚さ 2 nm ~ 5 0 nm のシリコン酸化膜 6 1 を形成する。このときに、マスク材 5 6 は酸化されず、したがってパズピークも入らないので、素子分離端におけるバリア絶縁膜 1 2 の厚膜化が起こらない。

## 【 0 0 8 5 】

このようにチャネル領域中央上とシャロートレンチ素子分離領域と接する部分のバリア絶縁膜 1 2 の膜厚が等しくなる。ここで、膜厚が等しいとは、その物理的膜厚が実質的に等しいことを意味し、具体的には、素子分離端とチャネル中央での、その膜厚の差が約 2 nm よりは小さくなっていて、好ましくは 1 nm 程度以下になっていることが望ましい。すなわち、膜厚の差が 2 nm あると、サイドウオーク現象が発生してしまう。

## 【 0 0 8 6 】

これによって、素子分離端での書き込み消去特性の劣化を防止することが可能となり、サイドウオーク現象のない良好なトランジスタ特性を得ることが出来る。

## 【 0 0 8 7 】

次に、図 1 9 (a), (b), (c) に示されるように素子分離溝 5 8, 5 9, 6 0 をそれぞれ素子分離絶縁膜 6 2, 6 3, 6 4 で埋め込んだ後 CMP 法によって各素子分離絶縁膜 6 2, 6 3, 6 4 の上表面を平坦化する。各素子分離絶縁膜はその上表面が半導体基板表面から例えば約 1 0 0 nm ~ 3 0 0 nm 程度となるように形成する。

## 【 0 0 8 8 】

次に、図 2 0 (a), (b), (c) に示されるように、例えば 8 0 ~ 2 0 0 °C に熱したリン酸によってマスク材 5 6 を剥離する。マスク材 5 6 の剥離後の表面にはバリア絶縁膜 1 2 が露出した状態となる。この際、マスク材の剥離条件によっては、各素子分離絶縁膜 6 2, 6 3, 6 4 の上表面端部には、互いにほぼ等しい大きさの窪み 6 5 が形成される。

## 【0089】

次に、図21(a)に示されるようにメモリセルトランジスタ領域および選択トランジスタ領域をレジスト66で覆った後、図21(b)、(c)に示されるように周辺回路領域のブロック絶縁膜12及び電荷蓄積層11をCDE (Chemical Dry Etching)などの等方性エッチングを用いて剥離する。

## 【0090】

この際、周辺回路部における各素子分離絶縁膜63、64の上表面端部には、互いにほぼ等しい大きさの窪み67が形成される。この窪み67は先の工程で形成された窪み65よりもその大きさが大きくなっている。窪み67の深さは例えば、5nm以上となる。また、メモリ部における素子分離絶縁膜62はこの工程においては、レジスト66で覆われているために、窪み65の大きさは変化しない。または凹部は形成されない。

## 【0091】

また、周辺回路領域の絶縁膜剥離を例えば、ブロック絶縁膜12のみRIEなどの異方性エッチングで行ってもよい。この場合は、エッチングによって周辺回路領域の素子分離領域の上面の半導体基板表面からの高さが、メモリ部における素子分離領域の上面の半導体基板表面からの高さよりも低くなる。この場合のゲート絶縁膜の種類ごとの素子分離領域の半導体基板表面からのSTI深さ、STI上部の半導体基板上表面からの高さ、ゲート電極幅と半導体基板の幅の大小関係、エッジの曲率半径、ゲート電極の特性について、まとめて表2に示す。

## 【0092】

【表 2】

ゲート絶縁膜	STI 深さ (基板表面から)	STI 上部の 基板からの高さ	ゲート電極幅と Si 基板幅の関係	エッジの 曲率半径	ゲート 電極
ONO	A	E	電極 $\geq$ 基板	電極 $\leq$ 基板	p+/n+ 作り分け 可能
SiO <sub>2</sub> (薄膜)	A	F			
SiO <sub>2</sub> (厚膜)	B	F			

## 【0093】

この表2からわかるように、素子分離領域であるSTI深さはゲート絶縁膜がONOやシリコン酸化膜の薄膜である場合の深さAがシリコン酸化膜の厚膜である場合の深さBに比べて、深くなっている。

## 【0094】

また、STI上部の半導体基板上表面からの高さはゲート酸化膜がONOである場合の高さEが、シリコン酸化膜である場合の高さFに比べて高くなっている。

## 【0095】

また、ゲート絶縁膜の種類に関わらず、2つの素子分離領域で挟まれたゲート電極幅の方が同じ2つの素子分離領域で挟まれた半導体基板幅よりも大きくなっている。

## 【0096】

さらに、ゲート電極が素子分離領域と接するエッジ部分での曲率半径が半導体基板が素子分離領域と接するゲート電極近傍でのエッジ部分での曲率半径よりも小さくなっている。

## 【0097】

さらに、ゲート電極はPプラス電極とNプラス電極とで作り分けを行うことが可能となっている。

## 【0098】

バリア絶縁膜 1 2 と素子分離絶縁膜 6 2, 6 3, 6 4 に共にシリコン酸化膜を用いた場合、ブロック絶縁膜 1 2 の剥離時に素子分離絶縁膜 6 3, 6 4 の上部もエッチングされて窪み 6 7 が形成されるが、素子分離絶縁膜 6 3, 6 4 の側面に接する電荷蓄積層 1 1 はシリコン窒化膜を用いた場合には、エッチング時のシリコン酸化膜との選択比は十分あり、素子分離絶縁膜 6 3, 6 4 の側面がサイドエッチされてディボット等が発生することは無い。

## 【 0 0 9 9 】

こうして、電荷蓄積層 1 1 の剥離後には、図 2 1 (b) に示されるように低電圧トランジスタ領域にはトンネル絶縁膜 1 0 が露出し、図 2 1 (c) に示されるように高電圧トランジスタ領域には高電圧トランジスタ用ゲート絶縁膜 2 0 が露出した状態となる。

## 【 0 1 0 0 】

次に、図 2 2 (a)、(b)、(c) に示されるようにレジスト 6 6 を除去した後、低電圧トランジスタのゲート絶縁膜 2 5 を例えば 0.5 nm ~ 10 nm の膜厚のシリコン酸化膜またはシリコン酸窒化膜で形成する。

## 【 0 1 0 1 】

この際、ゲート絶縁膜 2 5 の形成を熱酸化で行うことで、メモリ部のバリア絶縁膜 1 2 や高電圧トランジスタのゲート絶縁膜 2 0 に対して同時にデンシファイ効果が得られるのでマスク材 5 6 や電荷蓄積層 1 1 の剥離時のダメージを回復することが可能で、メモリセルや周辺回路の信頼性を向上することが出来る。

## 【 0 1 0 2 】

次に、図 2 3 (a)、(b)、(c) に示されるように、ゲート電極材料 6 8, 6 9, 7 0 として例えばドーピングしていない多結晶または非晶質のシリコンを 5 nm ~ 500 nm の膜厚となるように堆積する。

## 【 0 1 0 3 】

次に、図 2 4 (a)、(b)、(c) に示されるように、ゲート電極材料 6 8, 6 9, 7 0 上に例えば膜厚 10 nm 前後のシリコン酸化膜 7 1 を堆積する。

## 【 0 1 0 4 】

これは、この後のゲート電極への不純物注入時に不純物が電極から抜けるのを

抑制するためである。

【0105】

次に、図25(a)に示されるようにメモリセル領域をレジスト72で覆って、図25(b)、(c)に示されるように周辺部トランジスタのゲート電極に例えば磷又は砒素を $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上注入してn型ゲート電極27、22を形成する。

【0106】

次に、図26(a)に示されるようにレジスト72を剥離した後、今度は周辺回路部のみをレジスト73で覆い、メモリセル部に例えばボロンを $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上注入しp型ゲート電極14を形成する。

【0107】

次に、図27(a)、(b)、(c)に示されるように、各ゲート電極14、27、22上の酸化膜71を剥離した後、WSi、NiSi、MoSi、TiSi、CoSi等のいずれかを堆積してゲート電極15、28、23を形成する。

【0108】

本実施の形態では各ゲート電極は不純物添加したポリシリコンとポリサイドとのスタック構造としたがこれに限定されず、ポリメタルやメタル電極を用いてもよい。また、ポリシリコンの不純物の打ち分けをメモリセル部と周辺回路部に分けて行っているがこれに限らず、所望のトランジスタ特性およびセル特性が得られるように作り分け方を変えても良いし、作り分けをしなくても良い。作り分けをしない場合、ポリシリコンへの不純物注入はインプラに限らず、図23の工程で砒素、磷、ボロン等でドーピングされた多結晶シリコンを堆積しても良い。

【0109】

なお、図23の工程で、単結晶シリコンを堆積した場合には、後の熱工程においてポリシリコンに変化する。また、ゲート電極の材料としては、低抵抗が必要な場合には金属材料を用いることが好ましいが、金属を用いた場合には、ゲート電極形成後の製造工程で加えられる温度がポリシリコンなどと比べて高温を用いることができず、製造工程に制約が生じる。そのため、低抵抗と製造工程中の加熱温度のトレードオフの関係で適宜、ゲート電極材料が選択される。



## 【 0 1 1 0 】

また、図 2 5 , 2 6 で示した工程において、ゲート電極だけにではなく、チャネル不純物注入やウェル不純物注入を行ってもよい。ゲート絶縁膜形成や素子分離トレンチ表面の酸化などの高温工程を通過した後には不純物注入すれば、熱工程による不純物の拡散を回避できるので、よりシャープな不純物プロファイルが得られ、デバイス特性を向上することができる。

## 【 0 1 1 1 】

ゲート電極堆積後の工程は図示しないが、リソグラフィによってパターニングを行い、拡散層を形成した後、層間膜を堆積し、コンタクト、配線を形成して M I S F E T を形成する。

## 【 0 1 1 2 】

本実施の形態によれば、ゲート絶縁膜を素子分離膜形成工程の前に形成するので、チャネルエッジ、中央共に制御良く同じ膜厚にすることができる。さらにゲート電極となる多結晶シリコンは素子分離後に堆積するので、トレンチ形成後の酸化でバースピークが入ることがない。結果として、チャネルエッジにおけるゲート絶縁膜の厚膜化や薄膜化等の問題を回避できデバイス特性を向上させることができる。

## 【 0 1 1 3 】

さらにゲート電極の側壁も酸化されないのでゲート絶縁膜端と同一平面状にゲート電極の側壁を位置させることが可能で、書き込み消去時にゲート絶縁膜全体に均一な電界を与えることが出来る。さらに本発明ではメモリセルトランジスタのトンネル酸化膜をさらに酸化することで M O S トランジスタのゲート絶縁膜としているのでゲート酸化前のウェット処理が不要となり、シャロートレンチ素子分離側面に窪みが形成されることを回避できる。

## 【 0 1 1 4 】

またこのゲート酸化がバリア絶縁膜や周辺回路部の酸化膜に対してはデンシファイとして働くのでウェット処理等で出来る可能性のあるピンホールを塞ぎ、メモリセルおよび周辺回路部のトランジスタの信頼性を向上させることが出来る。

## 【 0 1 1 5 】

さらにゲート絶縁膜のチャネル方向の幅と、シャロートレンチ素子分離で挟まれた部分のゲート電極のチャネル方向の幅とが等しく形成でき、トランジスタの特性が向上する。

## 【 0 1 1 6 】

また全てのトランジスタに対してゲート電極を同時に堆積している上に、素子分離領域で挟まれる部分と、素子分離領域上の部分とで、多結晶シリコンを二度付ける必要がないので工程数の削減につながり、低コスト化が実現できる。

## 【 0 1 1 7 】

さらにゲート絶縁膜の作り分け（MONOS構造とMOS構造）やゲート電極の作り分け（PプラスゲートとNプラスゲート）の工程数を削減し、低コスト化を実現している。

## 【 0 1 1 8 】

また、ゲート電極としてドーパされていない多結晶シリコンを用いればメモリセルと周辺トランジスタでPプラスゲートとNプラスゲートを作り分けることも容易である。

## 【 0 1 1 9 】

この場合、ゲート電極の多結晶シリコンはPプラス部分とNプラス部分とで同時に形成しているため、膜厚を等しくすることができる。

## 【 0 1 2 0 】

メモリ部のゲート電極と周辺回路部のゲート電極とを同時に形成できるので、製造工程数が削減できる。

## 【 0 1 2 1 】

また、メモリ部と周辺回路部でそれぞれ、一方をPプラス部分、他方をNプラス部分とすることができる。また、メモリ部、周辺回路部それぞれにPプラス部分、Nプラス部分を両方混在させて形成することもできる。この場合、メモリ部においては、例えば、メモリ部の多数個のセルトランジスタにP型不純物を導入し、セルトランジスタよりも少数の個数の選択トランジスタにN型不純物を導入し、周辺回路部の多数個の低電圧トランジスタにP型不純物を導入し、少数個高耐圧トランジスタにN型不純物を導入することで形成できる。

## 【 0 1 2 2 】

このプロセスをNAND フラッシュメモリに用いた場合、選択トランジスタをメモリセルトランジスタと同じゲート絶縁膜構造にすることで、工程数が増加することはない。

## 【 0 1 2 3 】

なお、Pプラス部とNプラス部とが混在した場合、Pプラス部、Nプラス部の境界部分の半導体基板、素子分離領域、又はゲート電極にP型不純物とN型不純物の両方が注入されている。なお、Pプラス部、Nプラス部の境界部分の大きさによっては、P型不純物、N型不純物いずれも注入されない。

## 【 0 1 2 4 】

また、シャロートレンチ素子分離領域上に形成された第1ゲート14、23、28は、各ゲートの膜中に自然酸化膜を含むことなく、素子分離領域間に形成されている第1ゲート14、23、28と一体形成されていて、抵抗値が一定に保たれ、従来技術において2段階で間に自然酸化膜を介してゲートが形成された場合と比較してゲートの制御性が向上する。

## 【 0 1 2 5 】

## (第2の実施の形態)

本実施の形態においては、メモリ部の選択トランジスタの構造が第1の実施の形態と異なり、図8に示される周辺回路部の低電圧トランジスタと同一の構造となっている。このように選択トランジスタのゲート絶縁膜がMONOS構造ではなくMOS構造になっている。メモリ部のカラム方向の断面図は図28に示される通りで、メモリセルトランジスタの形状は第1の実施の形態と同様となっている。選択トランジスタ部分のゲート絶縁膜の構成が第1の実施の形態と異なり、低電圧トランジスタのゲート絶縁膜25で構成されている。

## 【 0 1 2 6 】

この実施の形態の回路図は図29に示される通りで、第1の実施の形態同様に直列に接続されたメモリセルトランジスタ52M0～M31の両端にそれぞれ接続された選択トランジスタ50S1、51S2の構成が、MONOSではなくMOS構造として表される。他の構成は、図11に示された第1の実施の形態の回

路図と同一である。

【0127】

本実施の形態では、選択トランジスタのゲート絶縁膜にシリコン窒化膜を用いていないことから、半導体記憶装置の動作時のゲート電圧やドレイン電圧のストレスによって選択トランジスタの閾値が変動することがなくなり、より高性能で高信頼性の半導体記憶装置を実現できる。

【0128】

選択トランジスタのゲート絶縁膜25としては例えば0.5nm～10nm程度のシリコン酸化膜またはシリコン酸窒化膜があげられるが、周辺回路部の低電圧トランジスタと同じ形成条件にすることがプロセスの工程削減のためには望ましい。すなわち、本実施の形態の製造方法は、第1実施例の製造方法において、選択トランジスタをメモリ部のメモリセルトランジスタと同じ製造工程を経ずに、周辺回路部の低電圧トランジスタと同様の製造工程を適用することで実現される。

【0129】

このプロセスをNANDフラッシュメモリに用いた場合、選択トランジスタを周辺回路部の低電圧トランジスタと同じゲート絶縁膜構造にすることで、工程数が増加することはない。

【0130】

各実施の形態においては、MONOS構造の半導体記憶装置を例に挙げて説明したが、本発明はMONOS構造の半導体記憶装置に限られるものではなく、ゲート絶縁膜の電気的特性の高特性化が必要な微細化されたMOSトランジスタを有する半導体装置全般に適用できる。

【0131】

【発明の効果】

本発明によれば、素子分離領域付近でのゲート絶縁膜の電気的特性と素子分離領域付近以外でのゲート絶縁膜の電気的特性とが等しい半導体装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図 1】 第 1 の実施の形態におけるメモリ部の構成を表すロウ方向の断面図

【図 2】 第 1 の実施の形態におけるプロトタイプのメモリ部の構成を表すロウ方向の断面図。

【図 3】 第 1 の実施の形態におけるプロトタイプのメモリ部のロウ方向のシャロートレンチ素子分離領域エッジ部の拡大図。

【図 4】 第 1 の実施の形態におけるプロトタイプのメモリセルトランジスタの領域ごとの書き込み状態における電圧電流特性図。

【図 5】 第 1 の実施の形態におけるプロトタイプのメモリセルトランジスタの書き込み状態における電圧電流特性図。

【図 6】 第 1 の実施の形態におけるプロトタイプのメモリセルトランジスタの書き込み消去状態における電圧電流特性図。

【図 7】 第 1 の実施の形態における高電圧トランジスタのロウ方向の断面図

【図 8】 第 1 の実施の形態における低電圧トランジスタのロウ方向の断面図

【図 9】 第 1 の実施の形態におけるメモリ部の構成を表す平面図。

【図 1 0】 第 1 の実施の形態におけるメモリ部のカラム方向の断面図。

【図 1 1】 第 1 の実施の形態におけるメモリ部の NAND ストリームを表す回路図。

【図 1 2】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 1 3】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジス

タの製造方法の一工程を表すロウ方向の断面図である。

【図 1 4】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 1 5】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 1 6】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 1 7】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 1 8】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 1 9】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

ウ方向の断面図であり、(c)は、第1の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図20】 (a)は、第1の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b)は、第1の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c)は、第1の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図21】 (a)は、第1の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b)は、第1の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c)は、第1の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図22】 (a)は、第1の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b)は、第1の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c)は、第1の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図23】 (a)は、第1の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b)は、第1の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c)は、第1の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図24】 (a)は、第1の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b)は、第1の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c)は、第1の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図25】 (a)は、第1の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b)

は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 2 6】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 2 7】 (a) は、第 1 の実施の形態におけるメモリセルトランジスタ及び選択トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(b) は、第 1 の実施の形態における低電圧トランジスタの製造方法の一工程を表すロウ方向の断面図であり、(c) は、第 1 の実施の形態における高耐圧トランジスタの製造方法の一工程を表すロウ方向の断面図である。

【図 2 8】 第 2 の実施の形態におけるメモリ部の構成を表すカラム方向の断面図。

【図 2 9】 第 2 の実施の形態におけるメモリ部の NAND ストリームを表す回路図。

【図 3 0】 従来の選択熱酸化方法により形成された浅溝素子分離による MONOS (金属-酸化シリコン膜-窒化シリコン膜-酸化シリコン膜-半導体) メモリセルの断面図。

【符号の説明】

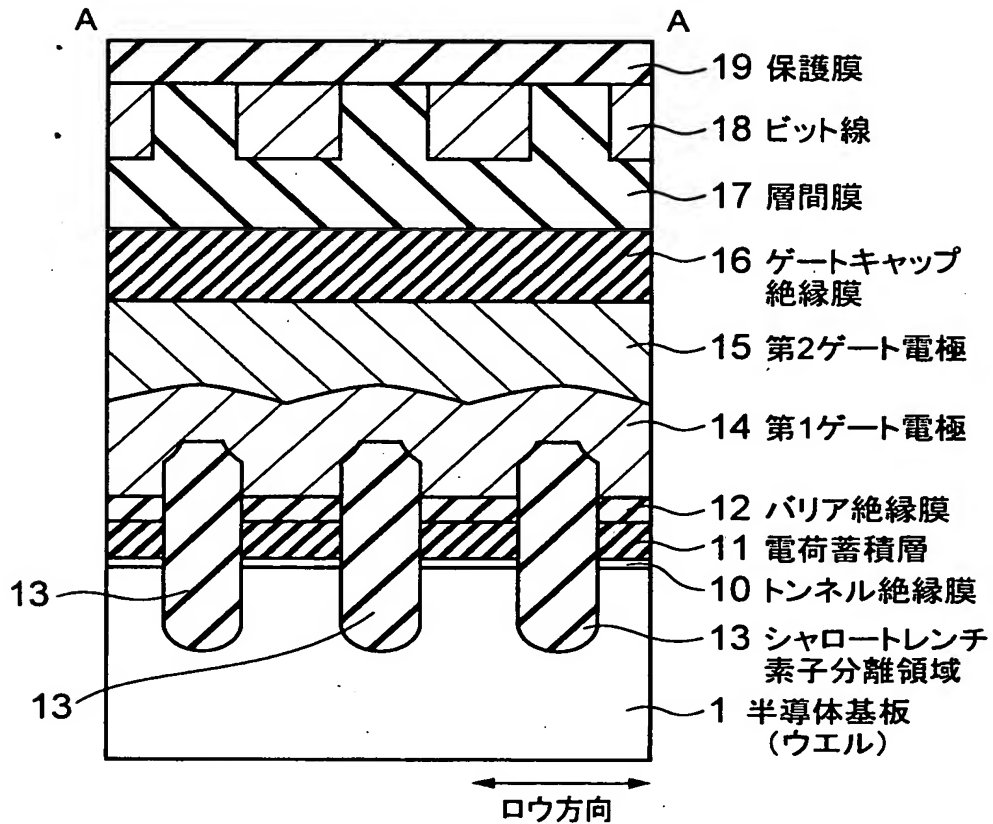
- 1 半導体基板 (ウェル)
- 2, 13, 21, 26 シャロートレンチ素子分離領域
- 3, 10 トンネル絶縁膜
- 4, 11 電荷蓄積層
- 5, 12 バリア絶縁膜
- 6 ゲート電極
- 7 バーズピーク部
- 8, 9 突出部



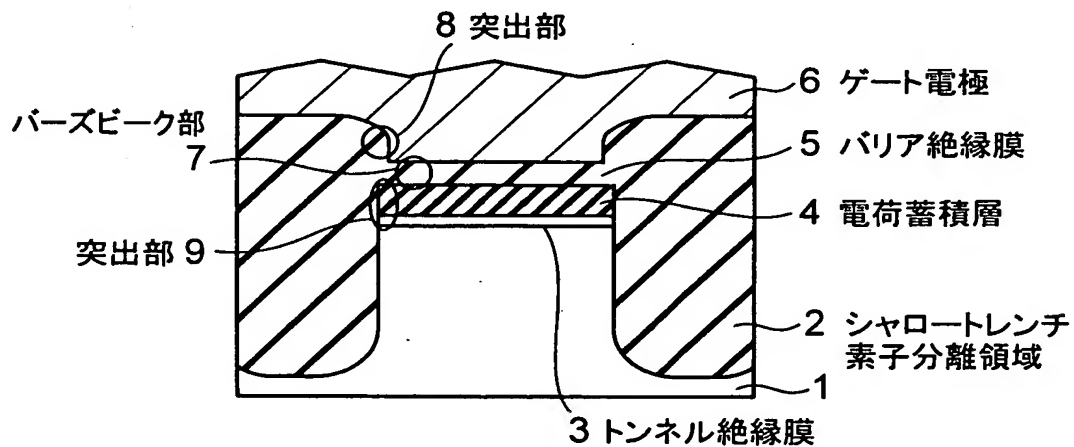
- 14, 22, 27 第1ゲート電極
- 15, 23, 28 第2ゲート電極
- 16, 24, 29 ゲートキャップ絶縁膜
- 17 層間膜
- 18, 43 ビット線
- 19 保護膜
- 20, 25 ゲート絶縁膜
- 30 拡散層
- 40 データ選択線(ワード線)
- 41 ビット線選択信号線(SSL)
- 42 共通ソース線選択信号線(GSL)
- 44 ビット線コンタクト
- 45 ソース線コンタクト
- 46 ビット線引き出しコンタクト
- 47 ビット線引き出し配線
- 48 ソース線配線
- 50, 51 選択トランジスタ
- 52 メモリセルトランジスタ
- 55, 66, 72, 73 レジスト
- 56 ストップバ膜
- 57 マスク材
- 58, 59, 60 トレンチ溝
- 61, 71 シリコン酸化膜
- 62, 63, 64 埋め込み材
- 64, 67 溝
- 68, 69, 70 ゲート電極材料

【書類名】 図面

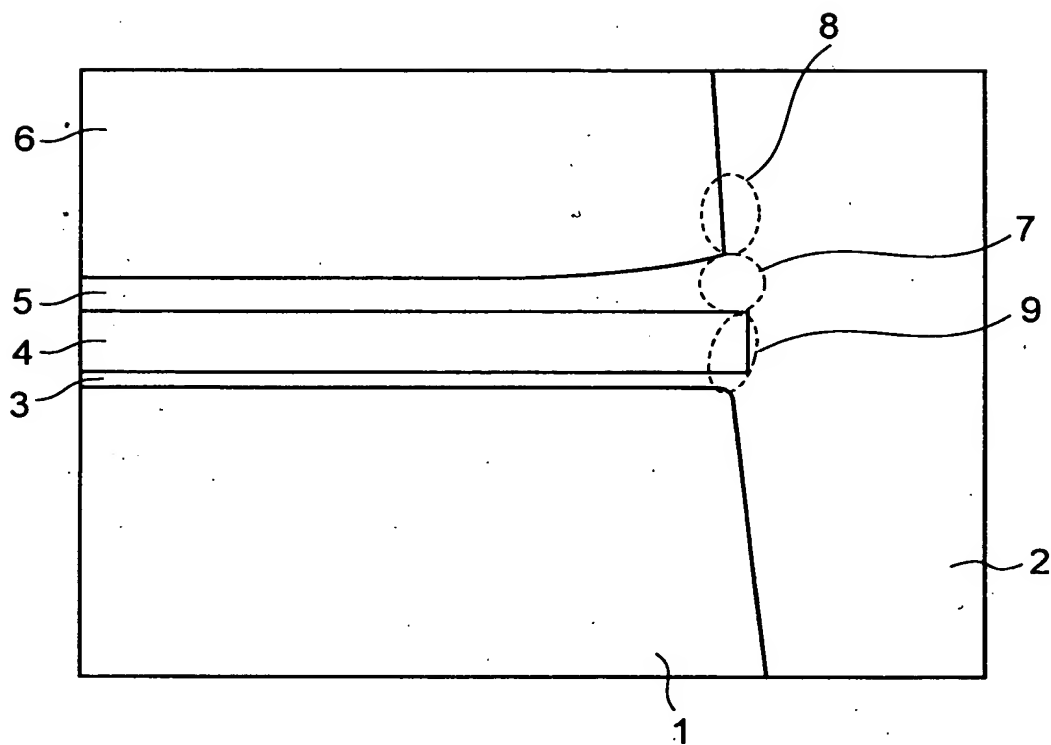
【図 1】



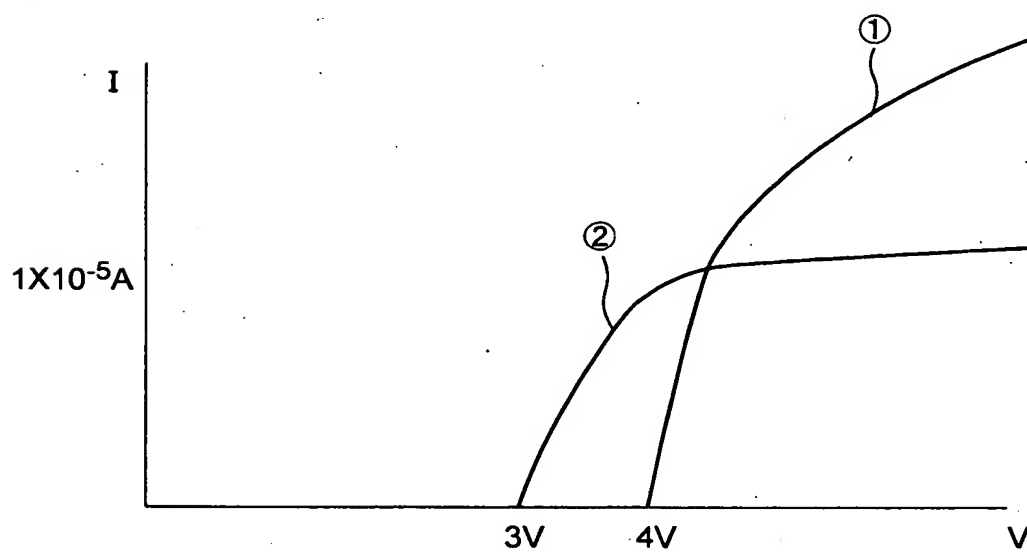
【図 2】



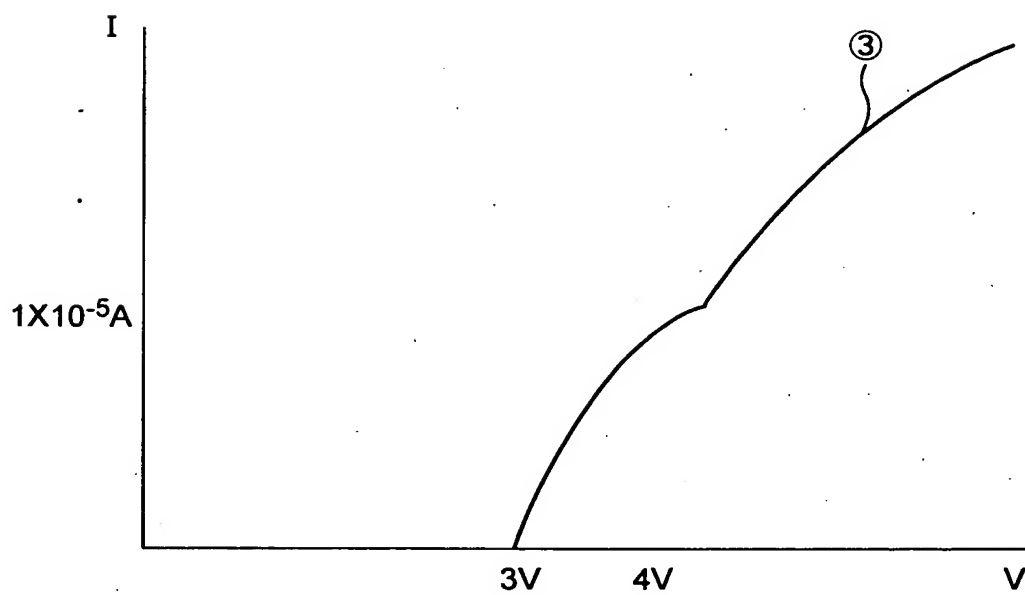
【図 3】



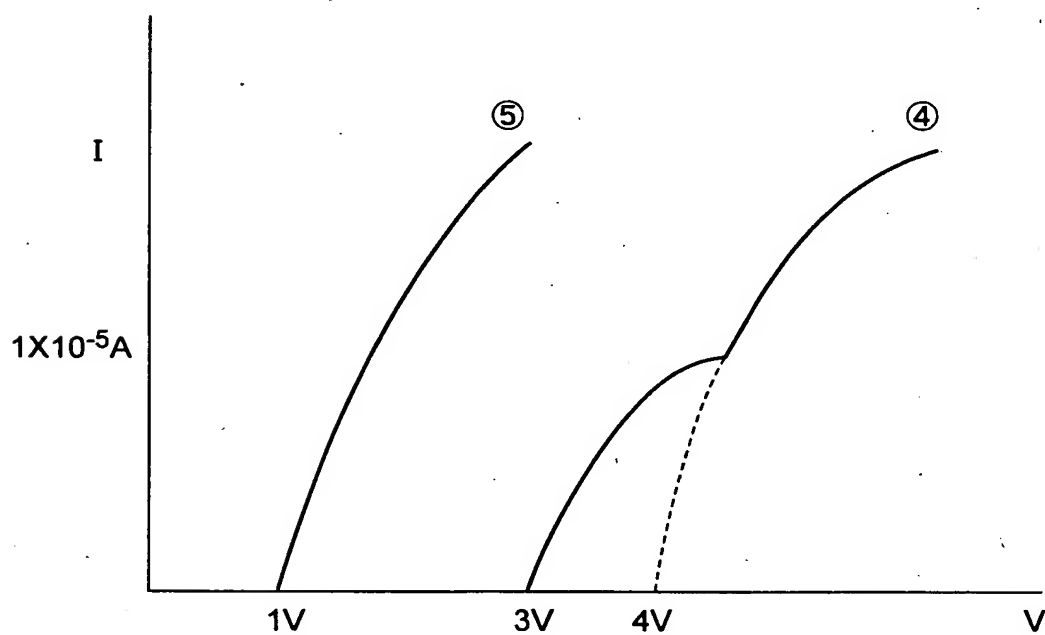
【図 4】



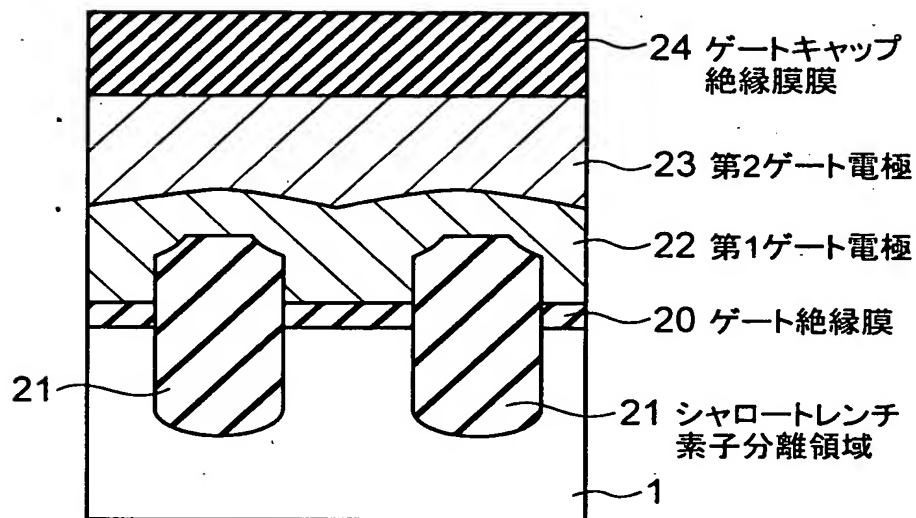
【図 5】



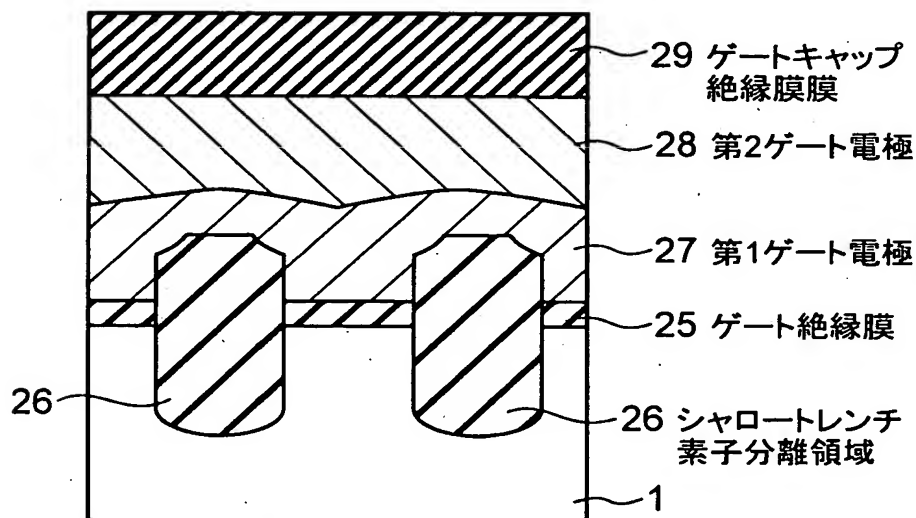
【図 6】



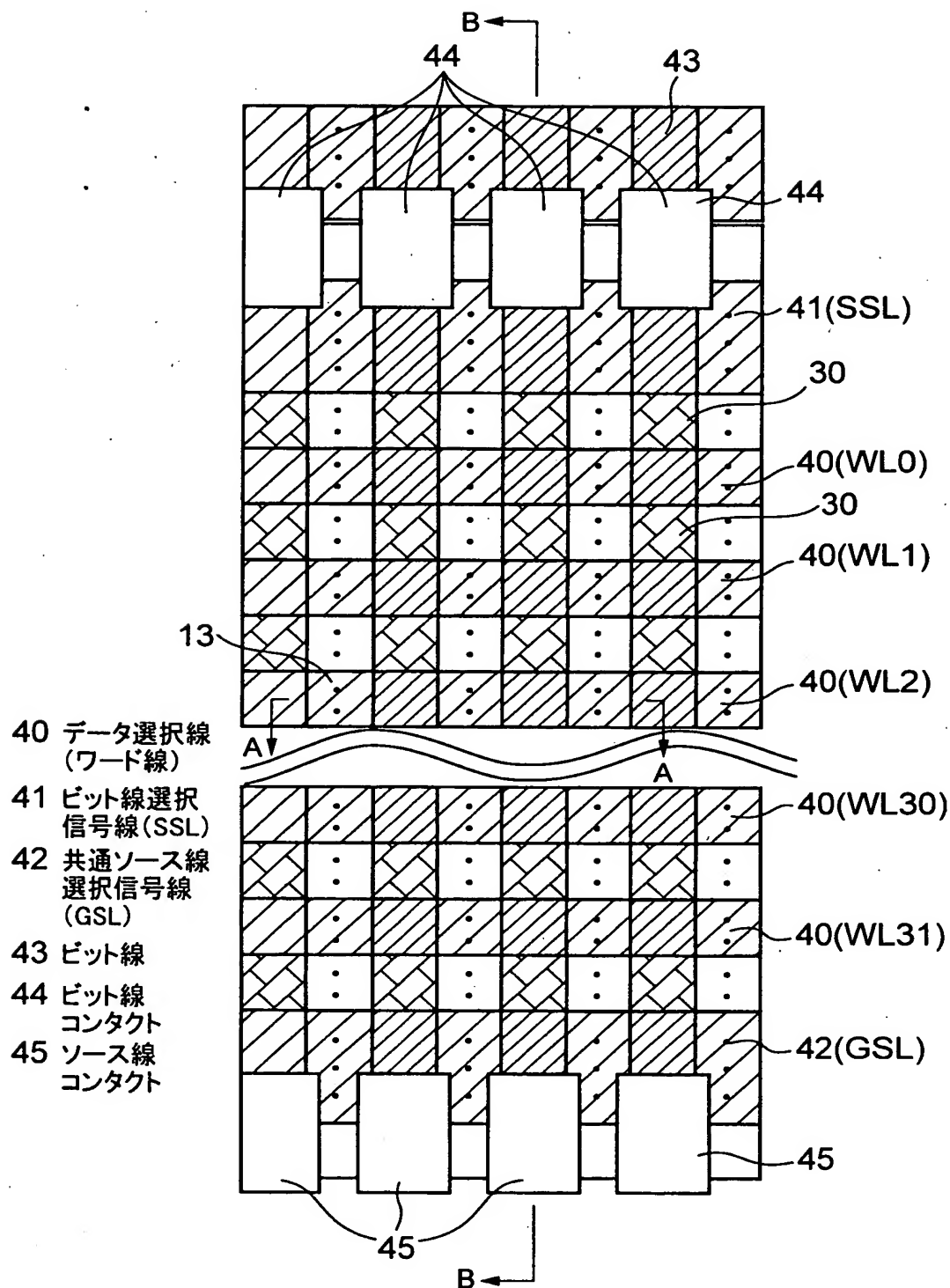
【図 7】



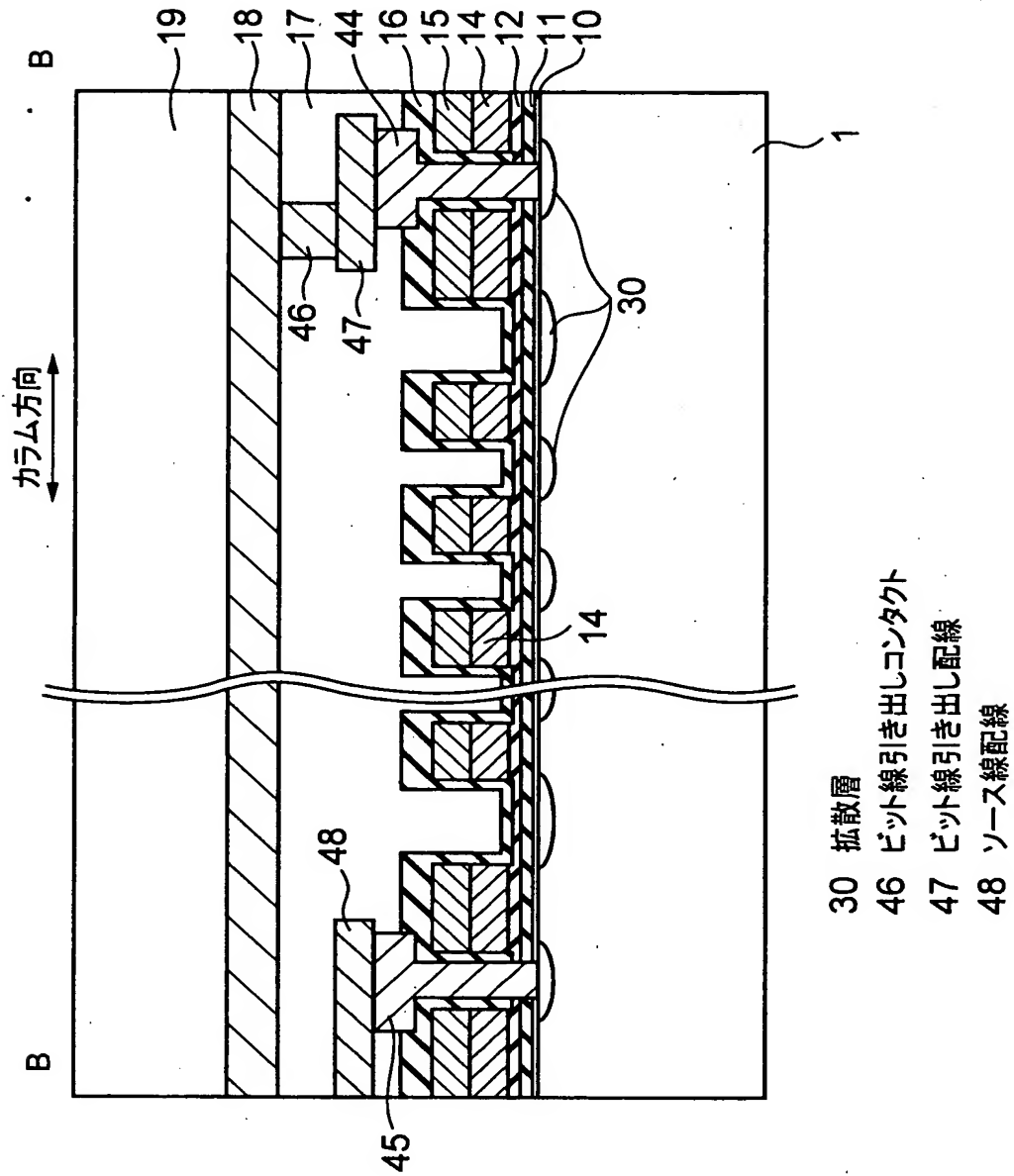
【図 8】



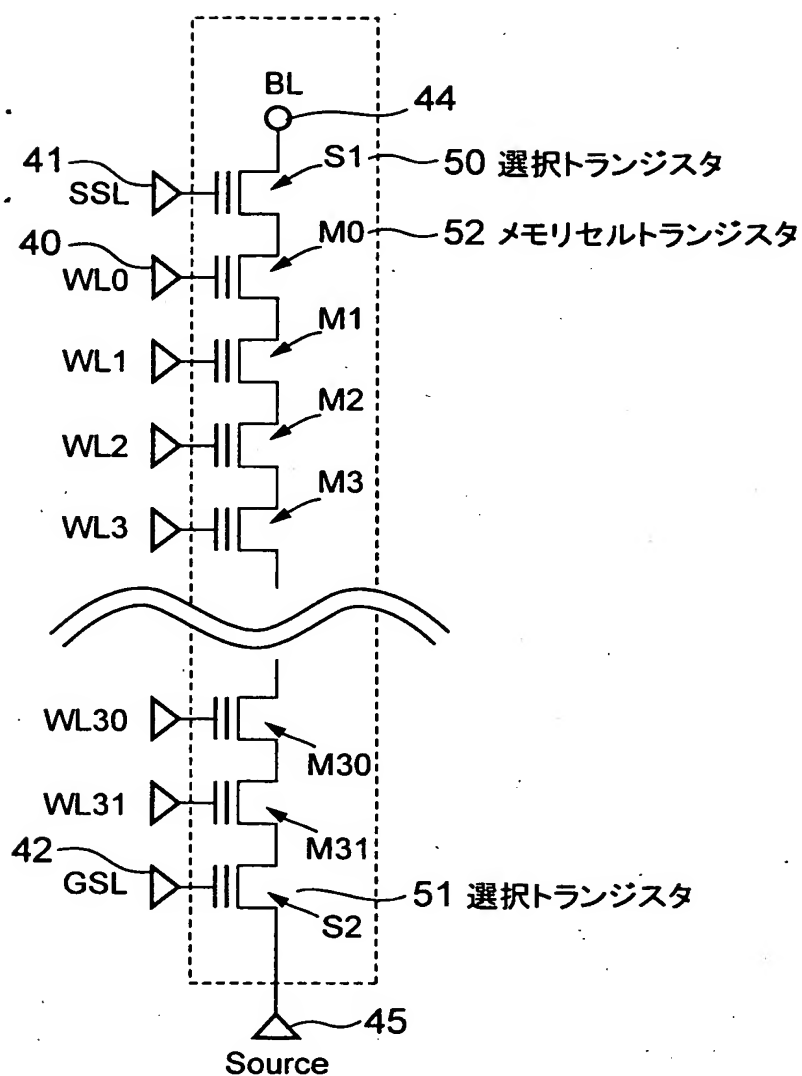
【図 9】



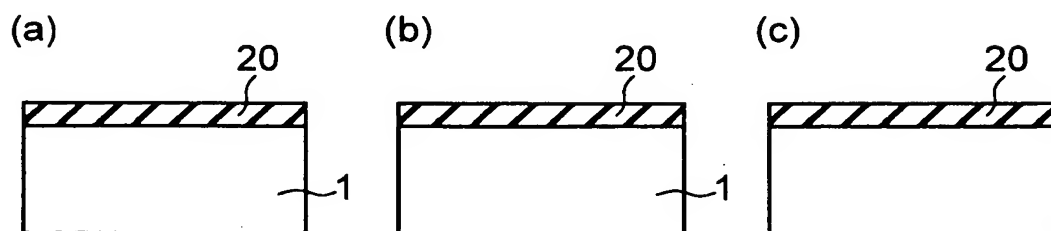
【図10】



【図 1 1】

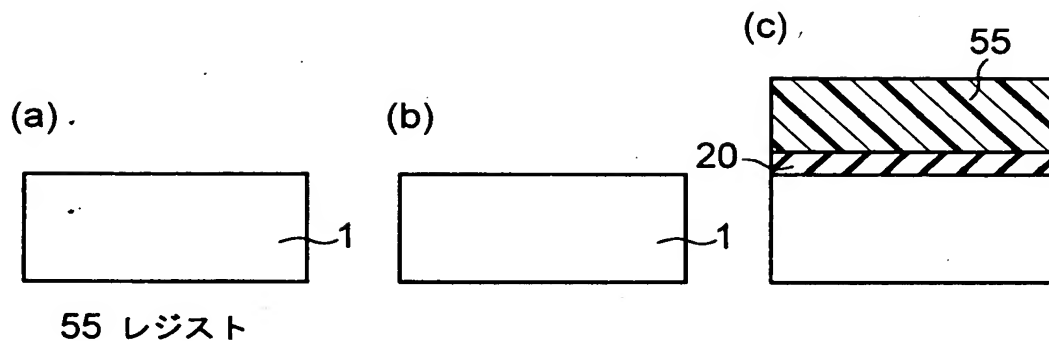


【図 1 2】

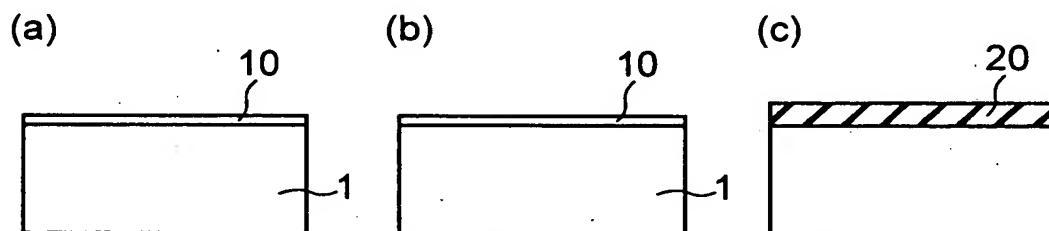




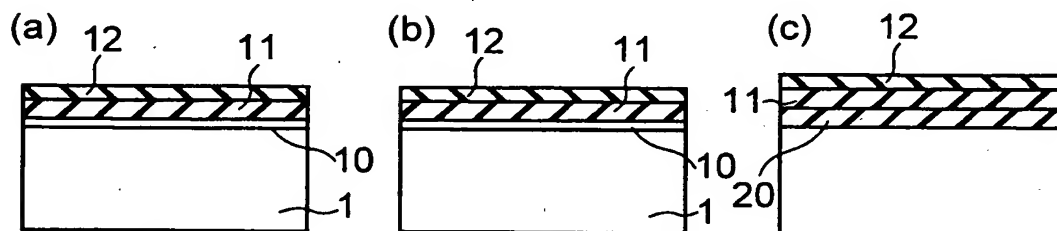
【図 13】



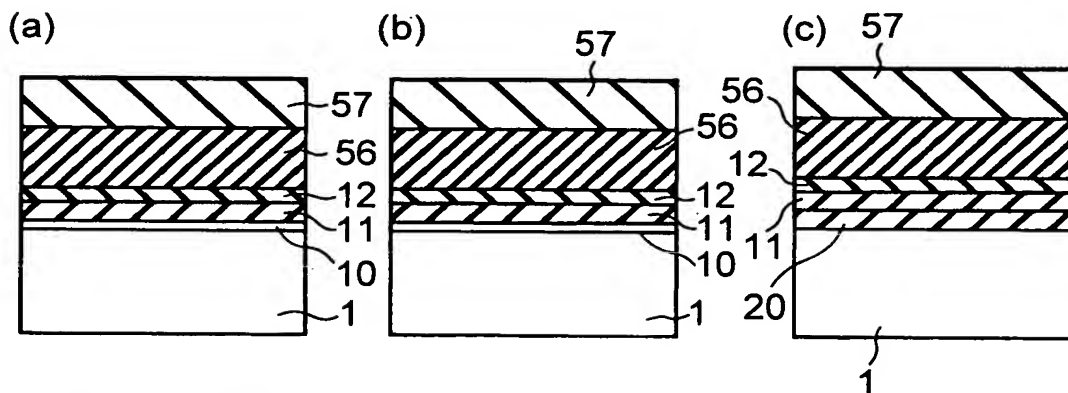
【図 14】



【図 15】

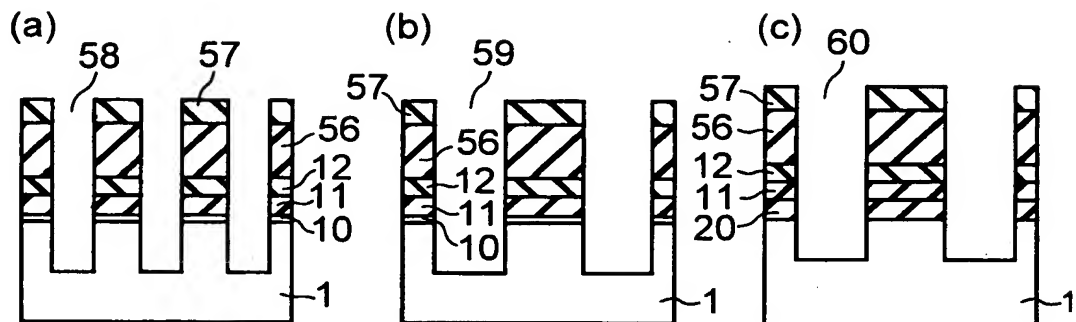


【図 16】



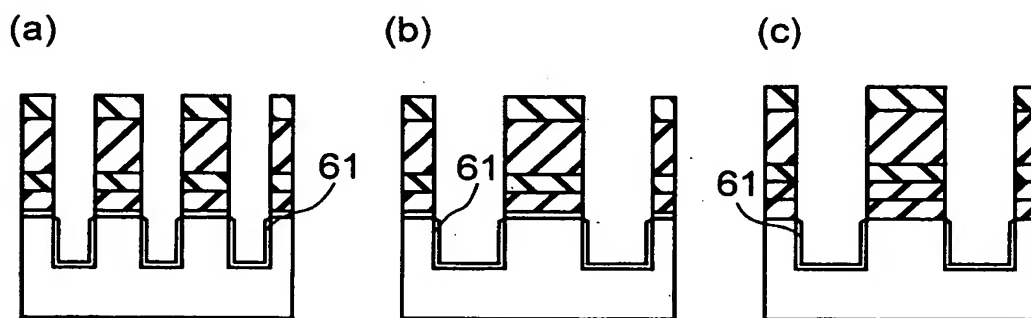
56 ストップ膜  
57 マスク材

【図 1 7】



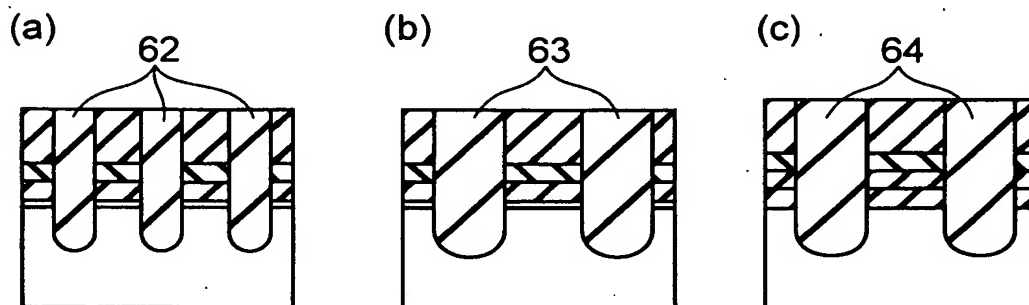
58,59 トレンチ溝

【図 1 8】



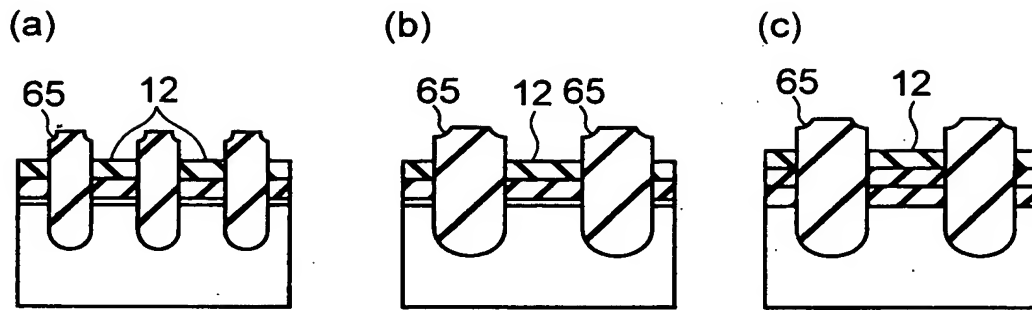
61 シリコン酸化膜

【図 1 9】



62,63,64 埋め込み材

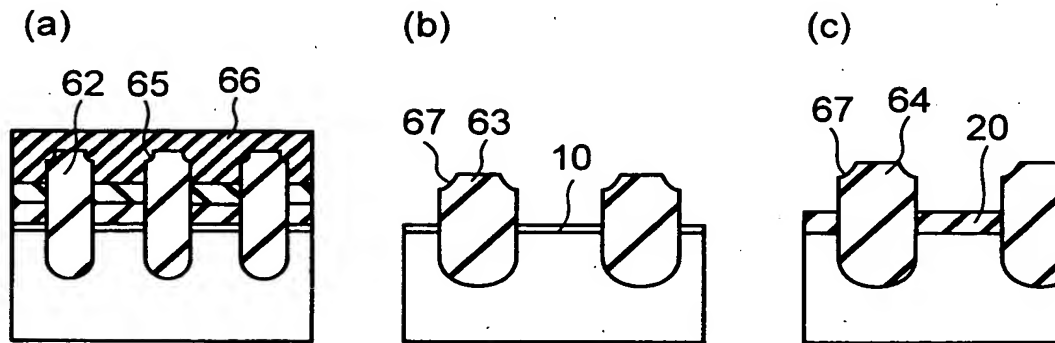
【図 2 0】



60 トレンチ溝

65 溝

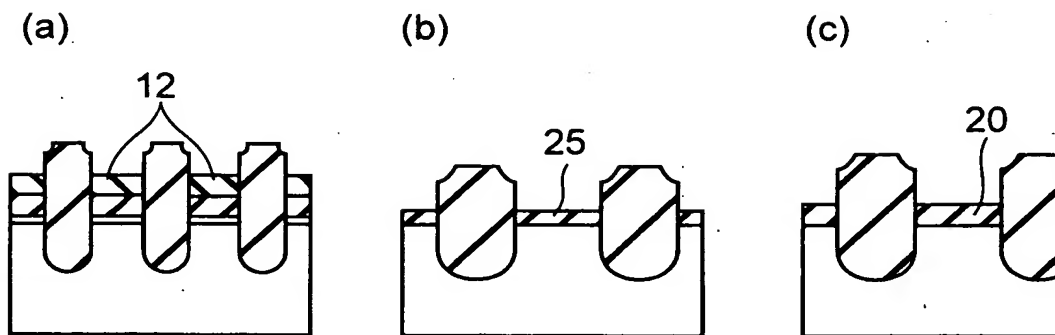
【図 2 1】



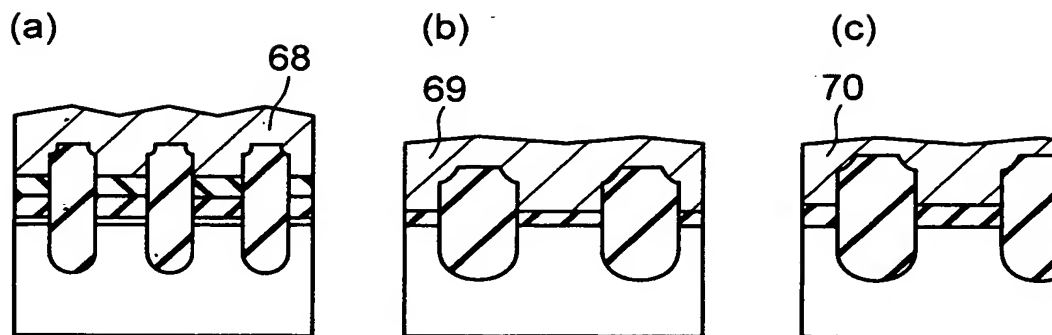
66 レジスト

67 溝

【図 2 2】

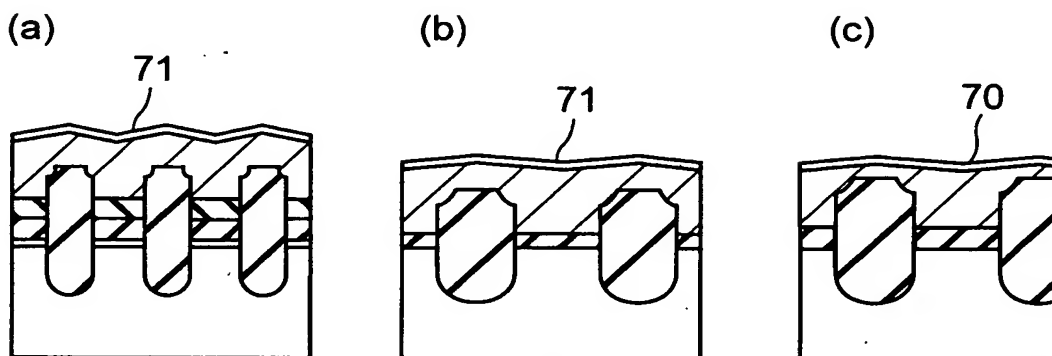


【図 2 3】



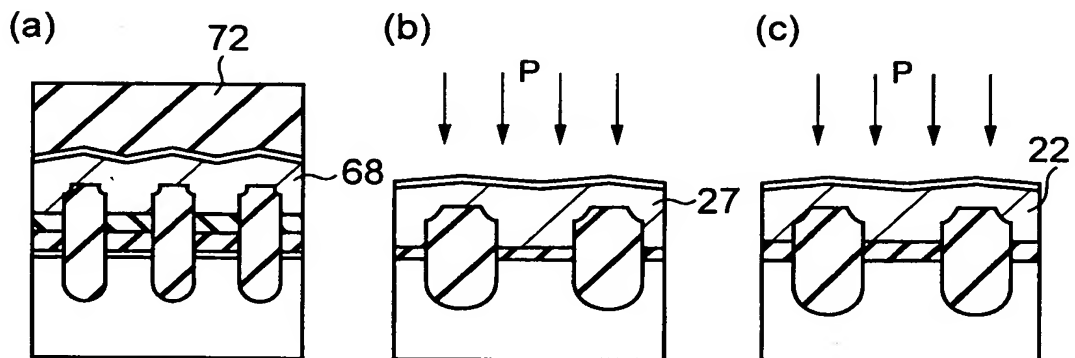
68,69,70 ゲート電極材料

【図 2 4】



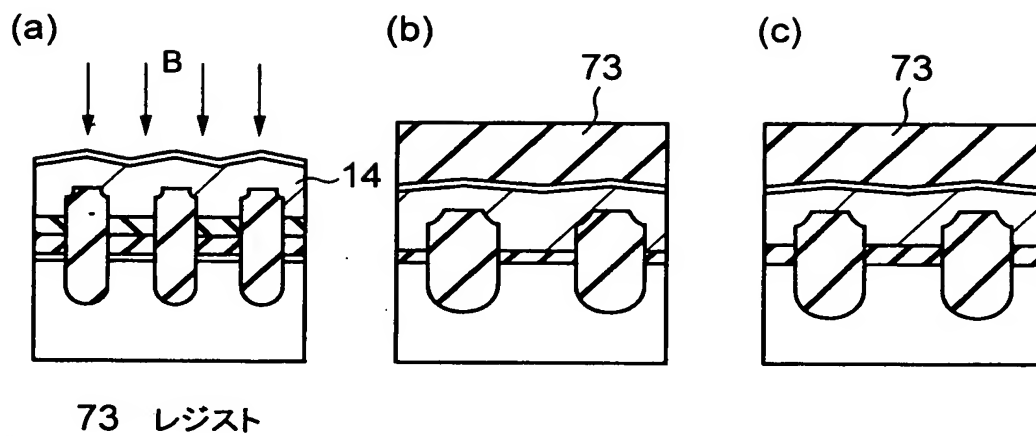
71 シリコン酸化膜

【図 2 5】

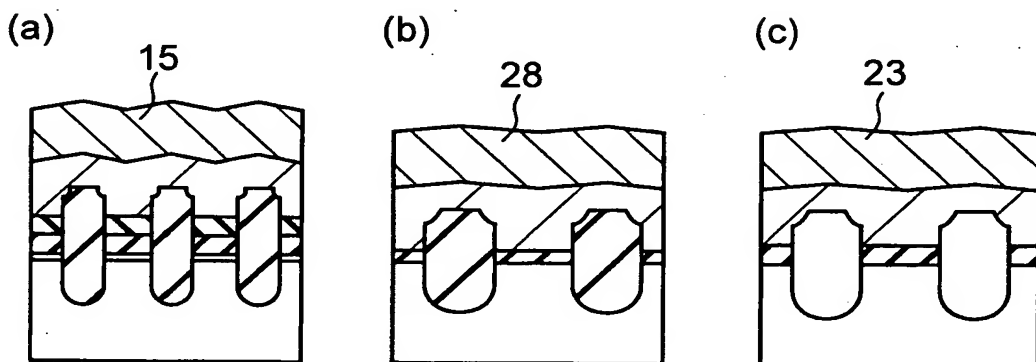


72 レジスト

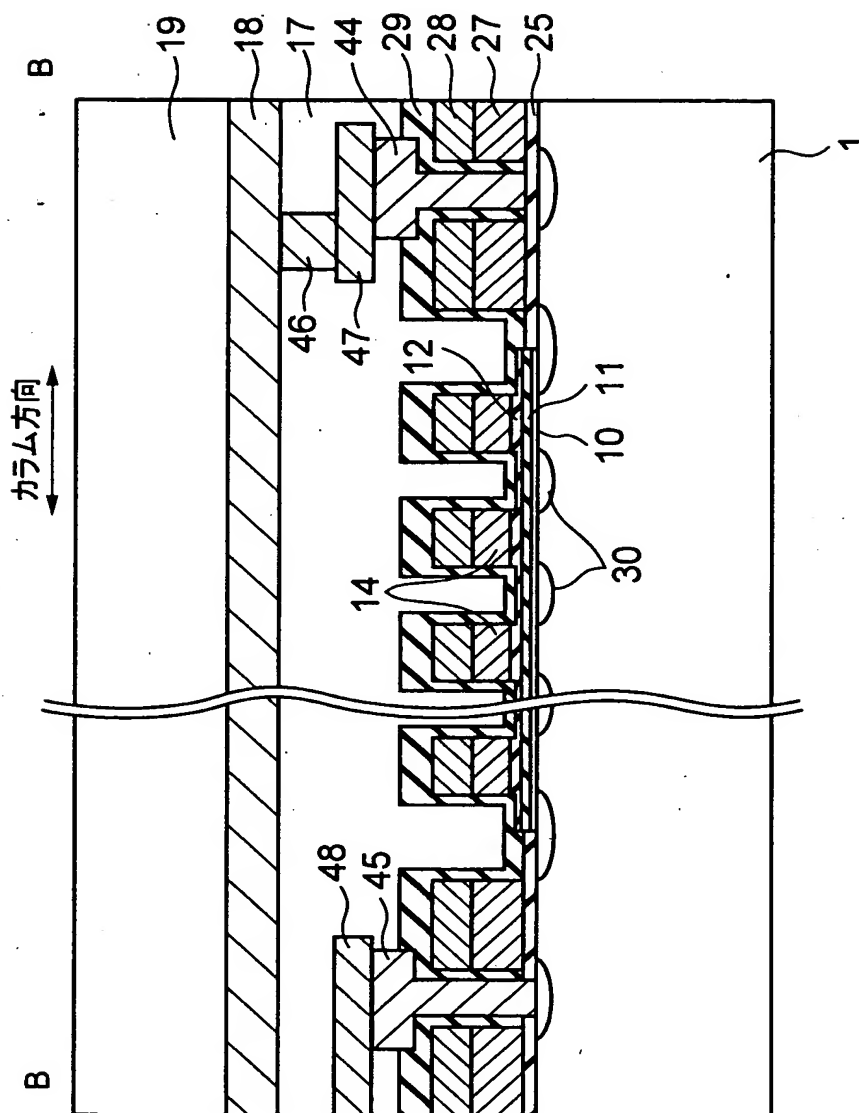
【図 2 6】



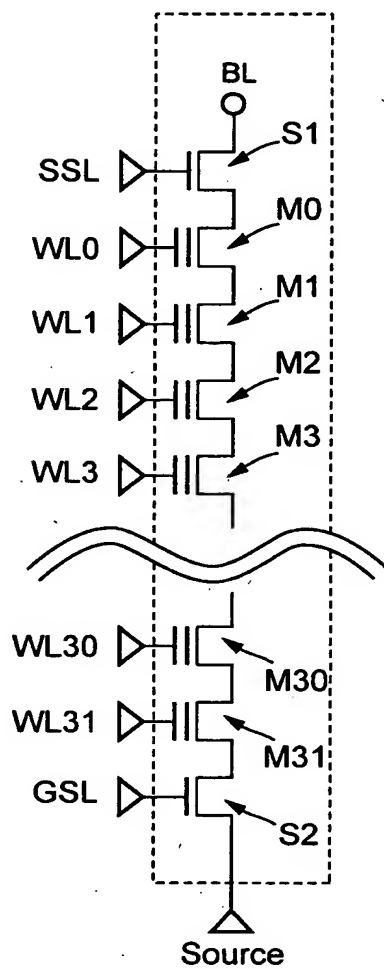
【図 2 7】



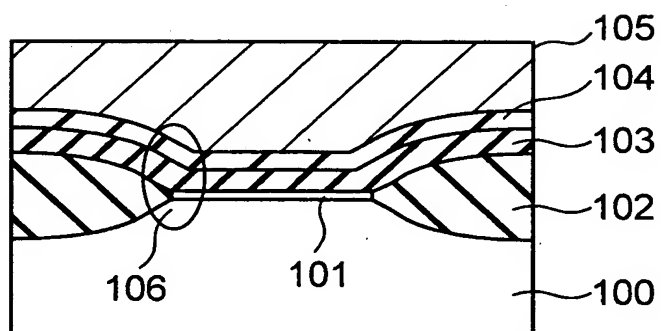
【図 28】



【図 29】



【図 30】



【書類名】 要約書

【要約】

【課題】

素子分離領域付近でのゲート絶縁膜の電気的特性と素子分離領域付近以外でのゲート絶縁膜の電気的特性とが等しい半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板 1 と、この半導体基板 1 中に設けられた溝部中に形成されたシャロートレンチ素子分離領域 1 3 と、半導体基板 1 中に形成され、挟む前記半導体基板表面をチャンネルとするソース、ドレイン領域と、前記半導体基板上に形成され、その膜厚が前記チャンネルの中央部と前記シャロートレンチ素子分離領域と接する部分とで等しいゲート絶縁膜 1 0, 1 1, 1 2 と、このゲート絶縁膜 1 0, 1 1, 1 2 上に形成されたゲート電極 1 4, 1 5 とを有する半導体装置である。

【選択図】 図 1



認定・付加情報

特許出願の番号	特願2001-029174
受付番号	50100162556
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 2月 9日

<認定情報・付加情報>

【提出日】	平成13年 2月 6日
-------	-------------

出 願 人 履 歴 情 報

識別番号. [000003078]

1. 変更年月日 1990年 8月22日  
[変更理由] 新規登録  
住 所 神奈川県川崎市幸区堀川町72番地  
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝